

**GERAÇÃO DE SINAIS DE REFERÊNCIA PARA TRANSMISSORES DE  
TELEVISÃO**

**RODRIGO OTÁVIO ROCHA CARDOSO**

Dissertação apresentada ao Instituto Nacional de Telecomunicações, como parte dos requisitos para obtenção do Título de Mestre em Telecomunicações.

Orientador: PROF. Dr. JOSÉ ANTÔNIO JUSTINO RIBEIRO

**Santa Rita do Sapucaí  
2007**

Dissertação defendida e aprovada em \_\_\_\_ / \_\_\_\_ / \_\_\_\_ , pela comissão julgadora:

Prof. Doutor José Antônio Justino Ribeiro / Departamento de Telecomunicações do Instituto Nacional de Telecomunicações (DTE - INATEL) (Orientador)

Prof. Doutor Geraldo Gil Raimundo Gomes / Departamento de Telecomunicações do Instituto Nacional de Telecomunicações (DTE - INATEL)

Prof. Doutor Wilton Ney do Amaral Pereira / Departamento de Engenharia Elétrica da Universidade de Taubaté (DEE - UNITAU)

---

**Prof. Dr.**  
**Coordenador do Curso de Mestrado**

A Deus, a verdadeira fonte  
de sabedoria, seja dada  
toda a Glória.  
Rm 16:27

## Agradecimentos

À Deus, por estar sempre presente me abençoando, das formas mais variadas possíveis, durante toda esta caminhada. À minha esposa, pela sua paciência, apoio, ajuda e carinho. À minha mãe, que sempre me motivou e esteve presente durante toda a minha formação. Ao meu pai e a Jara que mesmo distantes me apoiaram e aos meus irmãos que acompanharam de perto toda esta jornada. Ao Prof. Justino pela atenção, dedicação e orientação. Ao Prof. Maurício Silveira por ter me estimulado a ingressar no mestrado. Ao meu grande amigo Antônio Alves F. Junior pela ajuda e conselhos. Aos amigos do trabalho, pelos ensinamentos e aos amigos e queridos irmãos da Igreja, que me apoiaram e me sustentaram em oração. À Robélia, sempre paciente, compreensiva e gentil. A todos os professores e colegas do mestrado do INATEL, pela amizade e incentivo. Ao apoio financeiro proporcionado pelo convênio celebrado entre INATEL, Linear Equipamentos Eletrônicos S/A e a FINEP (Financiadora de Estudos e Projetos).

# Índice

<b>Lista de Figuras</b> .....	<b>viii</b>
<b>Lista de Tabelas</b> .....	<b>xv</b>
<b>Lista de Abreviaturas e Siglas</b> .....	<b>xvi</b>
<b>Lista de Símbolos</b> .....	<b>xvii</b>
<b>Resumo</b> .....	<b>xviii</b>
<b>Abstract</b> .....	<b>xix</b>
<b>1 Introdução</b> .....	<b>1</b>
1.1 Necessidade e motivação .....	1
1.2 Introdução aos sintetizadores de frequência .....	2
1.3 Conceitos básicos sobre sintetizadores de frequência .....	2
1.4 Metodologia empregada .....	4
1.5 Ferramentas computacionais e equipamentos de medição .....	5
1.6 Atualidade e aplicações das técnicas de síntese de frequência.....	5
1.7 Composição do trabalho .....	6
<b>2 Oscilador Analógico Empregando PLL</b> .....	<b>7</b>
2.1 Introdução aos sintetizadores de frequência analógicos .....	7
2.2 Visão Geral .....	7

2.3	Conceitos sobre sistemas de controle .....	16
2.3.1	Análise do erro no sinal para o sistema em regime permanente.....	18
2.4	A função de transferência do PLL .....	20
<b>3</b>	<b>Implementação do PLL .....</b>	<b>25</b>
3.1	Introdução .....	25
3.2	Diretrizes para a implementação do PLL .....	25
3.2.1	Regras gerais.....	25
3.2.2	Metodologia utilizada .....	28
3.2.3	Oscilador controlado por tensão .....	28
3.2.4	Oscilador controlado por tensão .....	33
3.2.5	Comparador de fase .....	36
3.2.6	Filtro de malha.....	38
3.2.6.1	Procedimento de medida do Ruído de fase .....	45
3.2.7	Dificuldades encontradas no ajuste do PLL.....	45
<b>4</b>	<b>Fundamentos da Síntese Digital Direta.....</b>	<b>49</b>
4.1	Introdução.....	49
4.2	Descrição Geral .....	50
4.2.1	Acumulador de fase .....	51
4.2.2	Tabela de conversão (LUT).....	57
4.2.3	Conversor D/A.....	60
4.2.4	Filtro de Reconstrução.....	63
<b>5</b>	<b>Implementação da Síntese Digital Direta.....</b>	<b>65</b>
5.1	Introdução.....	65
5.2	Descrição da implementação da síntese digital direta .....	65
5.3	Resultados práticos obtidos .....	67
<b>6</b>	<b>Comentários e Conclusões Finais .....</b>	<b>81</b>
6.1	Comentários .....	81

6.2 Conclusões finais .....	82
6.3 Sugestões para novos trabalhos .....	83
6.4 Publicações.....	84
<b>Referências Bibliográficas .....</b>	<b>85</b>

## Lista de Figuras

1.1	Diagrama em blocos básico de um sintetizador de frequência.....	2
1.2	Procedimento para medição do ruído de fase de um sinal no domínio da frequência, referência para a análise da qualidade de um sinal sintetizado.....	4
2.1	Diagrama em blocos simplificado da estrutura PLL.....	8
2.2	Diagrama em blocos da estrutura PLL da perspectiva de suas funções de transferências. A estrutura PLL é dividida basicamente em dois ramos: direto e de realimentação.....	8
2.3	Representação gráfica do comportamento de um comparador de fase ideal....	9
2.4	Representação Gráfica do comportamento real de um comparador de fase. Na condição de sincronismo, o comparador de fase trabalha com um erro de fase diferente de zero.....	11
2.5	Equivalência de diagramas em blocos visando a representação do comparador de fase por uma função de transferência que será utilizada no equacionamento de toda a estrutura.....	11
2.6	Representação gráfica do comportamento teórico de um VCO excitado por uma tensão contínua de característica linear.....	12
2.7	Equivalência de diagramas em blocos visando a representação do bloco VCO por uma função de transferência que será utilizada no equacionamento de toda a estrutura.....	13
2.8	Esquema de um filtro de malha no seu formato mais simples. Esta é a configuração mais simples de um filtro tipo passa-baixas formado por componentes discretos.....	14



2.9	Configuração de um filtro compensador de atraso ativo com integrador.....	15
2.10	Diagrama em blocos representativo de um sistema de controle de malha aberta.....	17
2.11	Diagrama em blocos que exemplifica um controlador com malha fechada.....	18
2.12	Simplificação matemática utilizada nos circuitos que possuem malha de realimentação com valor não unitário, visando tornar a análise do sistema mais simples.....	18
2.13	Diagrama em blocos de uma estrutura PLL completa. Neste caso a malha de realimentação não é unitária para possibilitar a saída sintetizada sincronizar em um valor múltiplo da referência.....	22
3.1	Diagrama em blocos da estrutura PLL que é dividida em quatro blocos principais: comparador de fase, filtro, VCO e divisor de frequência.....	26
3.2	Esquema elétrico final do protótipo analisado. Este apresenta todos os componentes utilizados, suas interligações e alimentações necessárias para que o circuito funcionasse de forma adequada.....	27
3.3	Foto do protótipo e das ferramentas usadas na sua análise. O analisador de espectro, o osciloscópio e as fontes de alimentação.....	27
3.4	Foto detalhada do protótipo. Verifica-se o cuidado com a blindagem requerida pelo sistema. O PLL está dividido em duas compartições uma para o VCO e outra para o comparador de fase, divisores e filtro de malha. As divisões são interligadas por um cabo externo blindado, localizado à direita da foto.....	28
3.5	Esquema elétrico do circuito VCO. Este apresenta os componentes que formam o filtro da alimentação, o circuito integrado da Hittite HMC358MS8G e os componentes discretos necessários para polarizar e acoplar o componente.....	29
3.6	Espectro do sinal gerado por um VCO alimentado por uma tensão não regulada e não filtrada de forma adequada. O ruído da fonte é transferido para o sinal gerado.....	30

3.7	Espectro do sinal gerado pelo VCO alimentado por uma tensão regulada e filtrada. O ruído da fonte foi praticamente extinto.....	30
3.8	Interface visual do Tline, ferramenta disponível no programa Eagleware.....	31
3.9	Espectro de frequência do sinal presente na saída do divisor visualizado com uma banda de análise de 500MHz.....	34
3.10	Espectro de frequência do sinal presente na saída do divisor visualizado com uma banda de análise de 20GHz. Nesta figura é possível visualizar, na envoltória do sinal, a presença da função $Sa(\omega)$ .....	35
3.11	Montagem parcial dos circuitos integrados visando demonstrar a melhoria na característica de ruído de fase do sinal proporcionado pela divisão.....	36
3.12	Implementação básica de um comparador de fase do tipo PDF.....	37
3.13	Gráfico que mostra a curva de resposta do filtro de malha variando o seu formato de acordo com as variáveis $\xi$ e $\omega_n$ .....	39
3.14	Gráfico que mostra o comportamento da tensão na saída do filtro de malha em função do tempo e da variável $\xi$ .....	39
3.15	Gráfico que demonstra o comportamento do ruído de fase final do sistema variando de acordo com as características da referência e do VCO, de acordo com a variação de $\omega_n$ .....	41
3.16	Espúrios gerados pelo vazamento do sinal de referência. O vazamento da referência está modulando o sinal sintetizado.....	41
3.17	Filtro de malha completo. Neste filtro tem-se a presença do bloco de pré-filtragem que atua diretamente no vazamento do sinal de referência.....	42
3.18	Efeito derivado de uma combinação não adequada de valores dos componentes do filtro de malha. Efeito conhecido na prática como bigode do sinal sintetizado.....	43
3.19	Medida do ruído de fase do sinal sintetizado executada com um passo de 10KHz da portadora.....	44
3.20	Medida do ruído de fase do sinal sintetizado executada com um passo de	

100 KHz da portadora.....	44
3.21 O PLL está gerando a sua menor frequência possível, sem que ocorra o travamento da frequência, devido o filtro de malha e o comparador de fase fornecerem uma tensão contínua mínima e instável ao VCO.....	46
3.22 Caso similar ao anterior, porém com a diferença do comparador de fase e o filtro de malha agora estarem entregando uma tensão contínua máxima e instável ao VCO.....	47
3.23 Sinal visualizado na tela do analisador de espectro quando o sistema se encontra no estado de semi-travamento. Esta é uma evidência que o PLL está próximo do seu estado de travamento.....	48
4.1 Diagrama em blocos detalhado da estrutura DDS. As delimitações pontilhadas especificam quais são os blocos da estrutura DDS que realizam processamento dos dados na forma digital e quais realizam o processamento na forma analógica.....	50
4.2 Diagrama em blocos da estrutura DDS completa. Em baixo de cada bloco tem-se o formato equivalente do sinal encontrado em suas saídas.....	51
4.3 Circuito que representa a célula mínima de um acumulador de fase. Teoricamente, uma célula somadora pode realizar a função de acumulação de um circuito integrador digital, pois na sua saída sempre se tem a integração de todos os valores digitais dispostos em sua entrada.....	51
4.4 O círculo de fase traz a relação entre os valores de fase e seus correspondentes valores de amplitude em uma senoide. Pode ser percorrido totalmente com um número maior ou menor de passos, dependendo somente do valor de $W$ escolhido.....	52
4.5 Exemplo de um DDS funcionando com duas palavras $W$ diferentes, com um mesmo sinal de relógio. Para $W = 1$ tem-se uma senoide sintetizada com um período $T$ , e para $W = 2$ , a senoide sintetizada apresenta um período $T'$ menor do que o encontrado na primeira senoide.....	54

4.6	Nota-se relação entre o incremento da fase e a taxa de variação da fase. Quanto maior for o incremento de fase maior será a inclinação da reta de fase e conseqüentemente maior será o valor da derivada da reta de fase.....	55
4.7	Mostra-se a relação entre o incremento da fase e o aparecimento do jitter . Dependendo do valor do W escolhido o acumulador de fase irá gerar em sua saída um sinal perfeitamente periódico ou não. Quanto menos periódico for o sinal maior será o jitter desenvolvido.....	57
4.8	Exemplo de uma memória ideal. Memória que possui infinitos bits de endereçamento e infinitos bits para representar os dados. Neste caso tem-se uma memória capaz de representar com perfeição uma senóide ideal.....	58
4.9	Simetria de quarto de onda. Esta característica torna viável a compressão dos dados da senóide sem que exista perda de informações. A memória LUT será responsável por armazenar somente um quarto dos dados gerados pelo Matlab®.....	59
4.10	Esquema de um DDS que utiliza a compressão de quarto de onda. Neste caso existe a necessidade de pequenas mudanças na estrutura original do DDS para que seja possível a síntese do sinal desejado.....	59
4.11	Função densidade probabilidade do erro de quantização em um conversor D/A ideal.....	61
4.12	Esta figura ilustra as definições de DNL e INL, o que deixa claro que o conversor D/A é um bloco da estrutura DDS que insere uma grande parcela de não linearidade e conseqüentemente ruído e espúrios ao sistema.....	62
4.13	Efeito presente nas transições do sinal de saída do conversor D/A conhecido como Glitch.....	63
4.14	– Teorema da causalidade ilustrado por um filtro passa-baixas ideal que é um sinal não-causal. Na figura da esquerda tem-se a resposta no domínio da freqüência de um filtro ideal, e na figura da direita a resposta no domínio do tempo.....	64
5.1	Esquema elétrico simplificado do protótipo implementado.....	66
5.2	Protótipo da estrutura DDS dividido em dois dispositivos. O dispositivo da	

	esquerda é composto por uma placa de teste FPGA, programada para implementar internamente o bloco do acumulador de fase e o bloco da LUT. O dispositivo da direita é composto por um conversor D/A e um filtro passa-baixas, implementados com componentes dedicados e componentes discretos.....	66
5.3	Ambiente de programação do software Quartus II®. Visualiza-se a implementação do acumulador de fase e da memória LUT dentro da estrutura FPGA.....	68
5.4	Sinal de saída da estrutura DDS trabalhando com um valor de $N = 10$ bits e uma palavra de controle $W = 128$ .....	69
5.5	Sinal de saída da estrutura DDS trabalhando com um valor de $N = 10$ bits e uma palavra de controle $W = 129$ .....	70
5.6	Sinal de saída da estrutura DDS trabalhando com um valor de $N = 10$ bits e uma palavra de controle $W = 130$ .....	70
5.7	Sinal de saída da estrutura DDS trabalhando com um valor de $N = 13$ bits e uma palavra de controle $W = 1024$ .....	71
5.8	Sinal de saída da estrutura DDS trabalhando com um valor de $N = 13$ bits e uma palavra de controle $W = 1025$ .....	71
5.9	Sinal medido com o osciloscópio na saída do conversor D/A da estrutura DDS trabalhando com uma palavra de controle $W = 128$ , múltipla inteira de $2^N$ .....	72
5.10	Sinal medido com o osciloscópio na saída do conversor D/A da estrutura DDS trabalhando com uma palavra de controle $W = 114$ , não múltipla inteira de $2^N$ .....	73
5.11	Espectro de um sinal gerado a partir de uma palavra $W$ múltipla inteira de $2^N$ .....	74
5.12	Espectro de um sinal gerado a partir de uma palavra $W$ não múltipla inteira de $2^N$ .....	74
5.13	Sinal de saída da estrutura DDS configurada para sintetizar uma frequência de 1,8MHz.....	75

5.14	Sinal de saída da estrutura DDS composto pela raia principal e suas réplicas.	76
5.15	Sinal de saída da estrutura DDS visualizado com um analisador de espectro configurado para mostrar todas as raias contidas em todo espectro de frequência.....	76
5.16	Filtro passa-baixas de 5ª ordem montado e simulado dentro do programa de simulação Eagleware.....	77
5.17	Resultado da simulação do filtro passa-baixas de 5ª ordem apresentado pelo programa computacional Eagleware®.....	78
5.18	Resultado do filtro simulado no Eagleware testado com o analisador vetorial	78
5.19	Sinal de saída da estrutura DDS depois do filtro de reconstrução. Todas as réplicas foram praticamente eliminadas pela ação do filtro.....	79
5.20	Medida do ruído de fase do sinal de saída sintetizado para um passo de 10kHz.....	80
5.21	Medida do ruído de fase do sinal de saída sintetizado para um passo de 100kHz.....	80

## Lista de Tabelas

- |     |   |    |
|-----|---|----|
| 2.1 | Tabela de valores que relaciona o valor da saída com a excitação e o tipo do sistema. Através da tabela pode-se notar uma relação entre as variáveis e uma regra de formação da tabela..... | 20 |
| 5.1 | Valores da frequência sintetizada para diferentes valores de N e W.....   | 69 |

## Lista de Abreviaturas e Siglas

PLL	<i>Phase Locked Loop</i> -
DDS	<i>Direct Digital Synthesizer</i> - Sintetizador Digital Direto.
TV	<i>Television</i> - Televisão
FM	Frequency Modulation – Modulação em Frequência
LO	Local Oscillator – Oscilador Local.
VCO	Voltage Control Oscillator – Oscilador Controlado por Tensão.
PFD	Phase Frequency Detector – Detector de Fase e Frequência.
CXO	Clock Oscillator – Oscilador de Referência.
VCXO	Voltage Control Oscillator – Oscilador a Cristal controlado por Tensão.
TCXO	Temperature Control Oscillator – Oscilador a Cristal com Temperatura controlada.
UHF	Ultra High Frequencies – faixa de frequências ultra-altas, entre 300MHz e 3GHz.
VHF	Very High Frequencies – faixa de frequências muito altas, entre 30MHz e 300MHz.
GCWG	<i>Grounded Coplanar Wave Guide</i> - guia de ondas coplanar aterrado.
LUT	<i>Look up Table</i> – Tabela de conversão.
ROM	<i>Read Only Memory</i> – Memória somente de leitura.
DSP	Digital Signal Processing – Processamento Digital de Sinais.
DNL	Differential non-linearity - não-linearidade diferencial.
INL	Integral non-linearity - não-linearidade integral.



FPGA      Field Programmable Gate Array - *Rede de Portas de Campo Programável.*

## Lista de Símbolos

$f_s$	freqüência sintetizada.
$f_r$	freqüência da referência.
$n_1$	constante que define o valor da freqüência sintetizada.
$n_2$	constante que define o valor da freqüência sintetizada.
$G(s)$	função de transferência do ramo direto.
$H(s)$	função de transferência do ramo de realimentação.
$V_d$	tensão diferencial.
$K_c$	constante proporcional do comparador de fase.
$\theta_{ref}$	fase do sinal da referência.
$\theta_o$	fase do sinal da realimentação.
$K_v$	ganho incremental do VCO.
$G_o(s)$	função de transferência simplificada para um sistema com malha de realimentação com valor unitário.
$E(s)$	erro em regime permanente.
$N_T$	valor da divisão realizado na malha de realimentação.
$F(s)$	função de transferência do filtro de malha.
$\omega_n$	freqüência natural.
$\xi$	fator de amortecimento.
$RF_s$	ruído de fase na saída do circuito divisor.

$RF_e$	ruído de fase na entrada do circuito divisor.
$C_c$	capacitor central do circuito de pré-filtragem.
$R_1$	resistor de entrada do filtro de malha.
$R_2$	resistor da malha de realimentação do filtro de malha.
$C$	capacitor da malha de realimentação do filtro de malha.
$f_a$	freqüência de amostragem.
$f_{máx}$	máxima freqüência do sinal amostrado.
$W$	incremento de fase.
$N$	número de bits do acumulador de fase.
$\Delta$	passo de quantização.
$\text{Var}[x]$	variância de $x$ .

## Resumo

Este trabalho apresenta um estudo teórico e prático das técnicas de síntese de frequência conhecidas por enlace sincronizado em fase (PLL) e sintetizador digital direto (DDS). O objetivo é descrever as principais características das duas concepções através de observação e comparação, identificando a melhor opção para transmissores de sinais digitais de televisão. Os capítulos foram divididos em abordagens teóricas e práticas, visando facilitar o desenvolvimento. Foram estabelecidas e avaliadas como principais as características de um sintetizador de frequências que estão relacionadas com a taxa de erro de bit em um sistema de comunicação e as que possibilitam o sistema alcançar os padrões estabelecidos pelos órgãos de fiscalização do governo. As características requeridas que mais se destacam são a alta pureza espectral, o baixo ruído de fase, a alta precisão e exatidão do sinal sintetizado.

Palavras chave: síntese de frequência, PLL, DDS, transmissores, sinais digitais de televisão.

## **Abstract**

This work presents a theoretical and practical study of frequency synthesis techniques known as phase locked loop (PLL) and Direct Digital Synthesizer (DDS). The objective is to describe characteristic principles of two conceptions through a process of observation and comparison, identifying the better option for transmission equipment of digital signals for televisions. The chapters create divisions of the theories and practices with the aim to facilitate the development. They were established and validated with characteristic principles of a frequency synthesizer those that are directly related with the error rate of bit in a communications system and those made possible are within the established standards of government inspection agencies. The more required characteristics are the high spectral purity, the low phase noise, the high precision and exactly of synthesizer signal.

Keywords: frequency synthesis, PLL, DDS, transmission equipments, digital signals for televisions.

# Capítulo I

## Introdução

### 1.1 – Necessidades e motivação

A idéia deste trabalho surgiu com a necessidade de implementar um sintetizador de frequência para atuar como um oscilador local e que apresentasse características especificadas para equipamentos transmissores de sinais digitais de televisão. Esses sintetizadores necessitam ter como parâmetros fundamentais um baixo ruído de fase, alta exatidão em frequência, grande pureza espectral, atuar uniformemente em centenas de megahertz, possuir sintonia fina de frequência e ser robusto quanto aos efeitos de vibrações mecânicas. Todas são exigidas para ser permitida a transmissão e a recepção dos sinais digitais de TV, sem geração de erros de *bit* dentro do sistema. O interesse em estudar as principais técnicas de síntese de frequência foi com o intuito de avaliar as suas principais características e verificar a melhor solução de compromisso.

Nas últimas décadas ocorreu uma tendência para a migração de estruturas de tecnologia analógica para estruturas digitais. Um exemplo é o sistema mundial de televisão. No Brasil, o governo destinou grande verba para financiar o estudo e a implementação de novos padrões para o desenvolvimento da televisão digital. Além da televisão, outros sistemas estão participando da migração para os processos digitais, como a telefonia móvel e os radioenlaces para pequeno, médio e longo alcances.

## 1.2 – Introdução aos sintetizadores de frequência

Os sintetizadores de frequência são responsáveis por diversos circuitos e equipamentos modernos de radiofrequência. A sintetização de frequência vem em constante evolução, com maior destaque nos últimos dez anos. O mais conhecido sintetizador de frequência é o que utiliza a técnica de sincronização de fase, conhecido pela sigla em inglês PLL, (*phase locked loop*). É implementado de forma analógica em um circuito de malha fechada, com realimentação negativa de fase fixa. Mais recentemente surgiu um novo sintetizador de frequência quase todo digitalizado chamado de sintetizador digital direto (DDS), que tem tomado parte das aplicações antes dominadas pelo PLL.

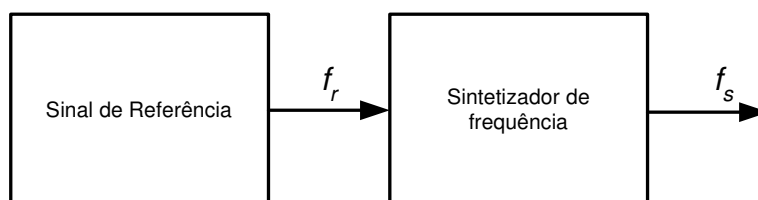
A tendência para a digitalização dos equipamentos de telecomunicações e de controle estimula o uso do DDS, ainda que haja uma resistência dos projetos já consolidados com a tecnologia em PLL. Serão expostas as abordagens envolvendo o sistema analógico com PLL e o digital com DDS, comparando as suas principais características.

## 1.3 – Conceitos básicos sobre sintetizadores de frequência

O sintetizador de frequência é um gerador de um número finito de frequências, a partir de uma única fonte principal, denominada relógio mestre ou sinal de referência. (Figura 1.1). Os sinais de frequência sintetizados estão sempre relacionados com o sinal de referência através de uma fração racional, que pode gerar um fator inteiro ou fracionário [1],

$$f_s = \frac{n_1}{n_2} \cdot f_r \quad (1.1)$$

sendo  $n_1$  e  $n_2$  números inteiros.



**Figura 1.1** – Diagrama em blocos básico de um sintetizador de frequência.

Destacam-se como características principais a estabilidade e a exatidão da frequência do sinal de saída. Outras propriedades é que permite um ajuste rigoroso das

freqüências geradas entre os limites da faixa especificada e que se especifique a resolução do sinal de saída. A comutação entre as freqüências depende da velocidade de chaveamento do sistema, definida segundo alguns critérios conhecidos. Se o sintetizador gera um sinal  $A \cdot \cos(\omega_1 t + \varphi_1)$  e está programado para habilitar um novo sinal  $A \cdot \cos(\omega_2 t + \varphi_2)$ , haverá uma transição  $(\omega_1 t + \varphi_1) \rightarrow (\omega_2 t + \varphi_2)$  antes de chegar ao sinal desejado. A definição padronizada para velocidade de chaveamento relaciona-se com o tempo em que o sinal leva para sair de sua freqüência original, passar pelo transitório e alcançar a freqüência desejada.

Outra característica refere-se ao nível dos harmônicos no sinal de saída, que depende dos componentes usados na construção do sintetizador, cujas amplitudes são relacionadas com a freqüência. Além dos harmônicos, existem componentes discretas de freqüência no espectro de saída, não relacionadas com a portadora. Esses sinais, denominados espúrios, são inerentes á técnica DDS e N-fracionário [2]. Suas amplitudes são medidas em relação à portadora e, ao contrário do ruído, são componentes espectrais discretas com determinada periodicidade. O baixo ruído de fase do sinal é uma das características mais solicitadas nos sintetizadores usados. A maioria dos sinais são obtidos a partir de um oscilador, um circuito amplificador com malha de realimentação positiva e um filtro [3][4]. Assim, prevê-se a existência do ruído já que não existem filtros nem amplificadores perfeitos. A pureza de um sinal pode ser medida a partir da concentração de sua energia nas proximidades da portadora [5]. Na Figura 1.2 tem-se um sinal real e como é feita a medição do seu ruído de fase, tendo um sinal ideal como referência. O sinal senoidal ideal do gerador, no domínio do tempo, é representado por

$$f(t) = A \cdot \cos(\omega_2 t + \varphi_2) \quad (1.2)$$

A representação de (1.2) no domínio da freqüência utiliza a função delta de Dirac, indicando que contém toda a sua energia armazenada em uma única raia espectral.

$$F(\omega) = A \cdot \delta(\omega - \omega_0) \quad (1.3)$$

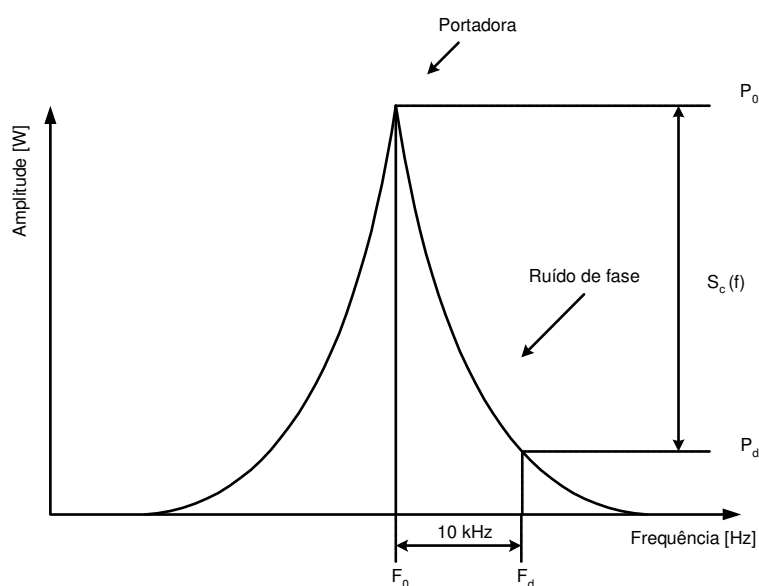
Portanto, sua largura de faixa é igual a zero, e esta função é usada como referência teórica. Sinais comuns nos sistemas de comunicação conseguem ter até 99% de sua energia concentrada em menos de 1Hz em torno da freqüência central [1]. Na prática consegue-se gerar somente sinais do tipo



$$f(t) = A \cdot [1 + n_1(t)] \cdot \sin[\omega_0(t) + n_2(t) + \varphi] \quad (1.4)$$

onde  $n_1(t)$  representa a instabilidade de amplitude e  $n_2(t)$  as perturbações da fase. Estas funções são de natureza aleatória e, normalmente, a instabilidade da amplitude costuma ser de intensidade bem menor que a de fase. Com isto, a atenção maior fica para os métodos de especificação do ruído de fase.

É importante comentar que todas as características de um sintetizador de frequência estão interligadas. Uma maior resolução no sinal sintetizado poderá gerar o aparecimento de sinais espúrios no espectro de frequência do mesmo. O processo de filtragem, visando minimizar as amplitudes dos espúrios gerados, poderá deixar o circuito com características de sub-amortecimento e grande velocidade de chaveamento. Com isto, pode-se dizer que para cada aplicação, o projetista focará uma característica do sintetizador de frequência e terá de lidar com a relação de compromisso existente na estrutura.



**Figura 1.2** – Procedimento para medição do ruído de fase de um sinal no domínio da frequência, referência para a análise da qualidade de um sinal sintetizado.

## 1.4 – Metodologia empregada

Serão discutidas e comparadas as principais características das técnicas PLL e DDS. Para cada uma será desenvolvido um estudo teórico e uma análise experimental. Na composição da teoria, procurou-se condensar informações distribuídas em várias publicações sobre o assunto [1][2]. Para os ensaios de laboratório, foram construídos protótipos com

componentes discretos e circuitos integrados dedicados, com o objetivo de avaliar o desempenho de cada técnica. Partindo dos desempenhos teórico e prático das duas técnicas, identificaram-se as principais vantagens e desvantagens procurando-se a melhor aplicação para cada uma.

## **1.5 – Ferramentas computacionais e equipamentos de medição**

No processo de construção e avaliação dos protótipos, foram utilizadas algumas ferramentas computacionais e equipamentos de medição apropriados. São eles:

- Aplicativo para projeto de circuitos de radiofrequência e microondas EagleWare®. Fabricante: Genesys;
- Plataforma de cálculo científico Matlab®. Fabricante: Mathworks;
- Aplicativo para projeto de circuitos eletrônicos Quartuz II® versão 6.1. Fabricante: Altera;
- Analisador de espectro modelo E4402B (ESA-E Series Spectrum Analyzer). Fabricante: Agilent technologies;
- Osciloscópio modelo MSO6054A (Mixed Signal Oscilloscope). Fabricante: Agilent technologies;
- Analisador vetorial de circuitos de RF modelo E5062A (ENA Series Network Analyzer). Fabricante: Agilent technologies.

## **1.6 – Atualidade e aplicações das técnicas de síntese de frequência**

É ampla a utilização das técnicas de síntese de frequência na área de telecomunicações. Estas se encontram em radioenlaces de microondas para TV e digitais para dados, transmissores e receptores analógicos e digitais de TV e de FM, telefonia móvel, Wimax, etc.. Praticamente, o uso das técnicas se estende por toda a faixa comercial de frequência de radiocomunicação que utiliza o espaço livre como o meio para a comunicação. Geralmente são usadas para gerar os sinais de referência (*Clocks*) e os osciladores locais (*LO*) dos sistemas. No momento atual, o Brasil se encontra no processo de desenvolvimento do padrão para a televisão digital brasileira, o que desafia projetos de sintetizadores de frequência com características específicas para esta aplicação.

## **1.7 – Composição do trabalho**

A dissertação está dividida de forma a ressaltar as abordagens teórica e a prática de cada técnica, com o objetivo de identificar suas principais características. O Capítulo II apresenta o estudo detalhado do diagrama em blocos da estrutura PLL, o papel e o funcionamento de cada bloco, ressaltando como cada um contribui para a operação adequada da técnica. O Capítulo III mostra o esquema do circuito, o processo de otimização do protótipo montado e os resultados obtidos. O estudo do diagrama em blocos da estrutura DDS separada em duas partes, o processamento digital e o analógico do sinal, são apresentados no Capítulo IV. Neste, também são expostos os princípios de funcionamento de cada bloco da estrutura DDS e como cada um contribui no processo da síntese de frequência. No Capítulo V apresentam-se o esquema do circuito final e os testes realizados no protótipo. O Capítulo VI traz os comentários e as conclusões finais, bem como as sugestões para novos estudos.

## Capítulo II

# Oscilador analógico empregando PLL

### 2.1 - Introdução aos sintetizadores de frequência analógicos

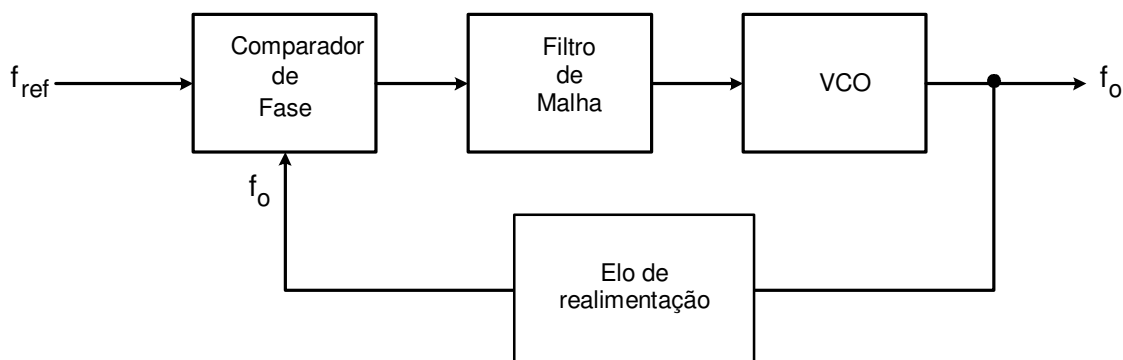
A técnica de síntese de frequência conhecida por PLL é a mais conhecida entre todas. A estrutura PLL possui um ramo de realimentação que possibilita a correção e a convergência do sinal gerado para o valor de frequência desejado. A estrutura PLL, além de atuar como uma técnica de síntese de frequência, pode ser usada para outras aplicações como modulador e demodulador de FM, atenuador da modulação parasita de fase (*jitter*) e regenerador de portadora [1].

Neste capítulo será apresentado o princípio de funcionamento do PLL atuando como sintetizador de frequência. Serão destacadas as características de suas partes principais e a influência de cada um na função de transferência da estrutura.

### 2.2 - Visão Geral

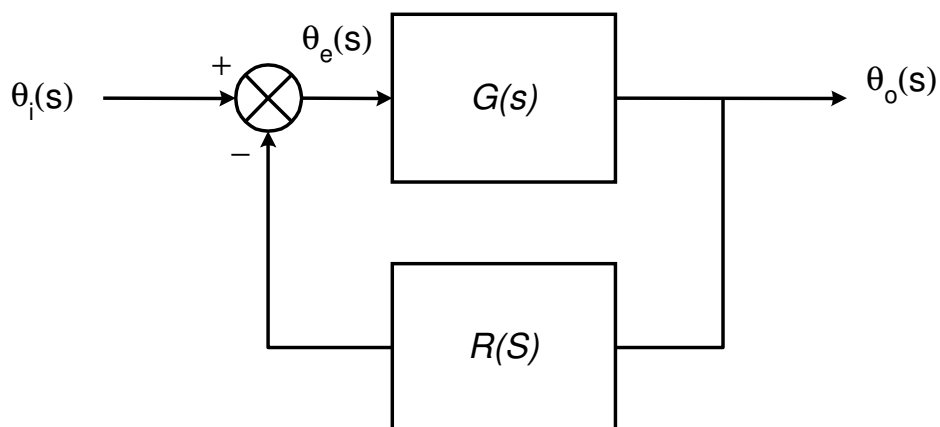
O PLL é formado por três circuitos principais: um comparador de fase, um filtro de malha e um oscilador controlado por tensão (VCO). (Figura 2.1) [4]. O funcionamento do PLL resume-se em um sistema no qual o VCO gera um sinal de frequência proporcional a uma tensão aplicada em sua entrada. Uma amostra do sinal de saída é entregue em uma das entradas do comparador de fase, através da malha de realimentação. O comparador de fase compara o sinal vindo do ramo de realimentação com um sinal de referência. Da

comparação resulta um sinal proporcional á diferença de freqüência ou/e de fase dos sinais em suas entradas. O sinal obtido do comparador de fase é entregue ao filtro de malha que, por sua vez, entrega ao VCO uma tensão contínua filtrada, que completa a malha e gera um sinal de freqüência estável [6].



**Figura 2.1** – Diagrama em blocos simplificado da estrutura PLL.

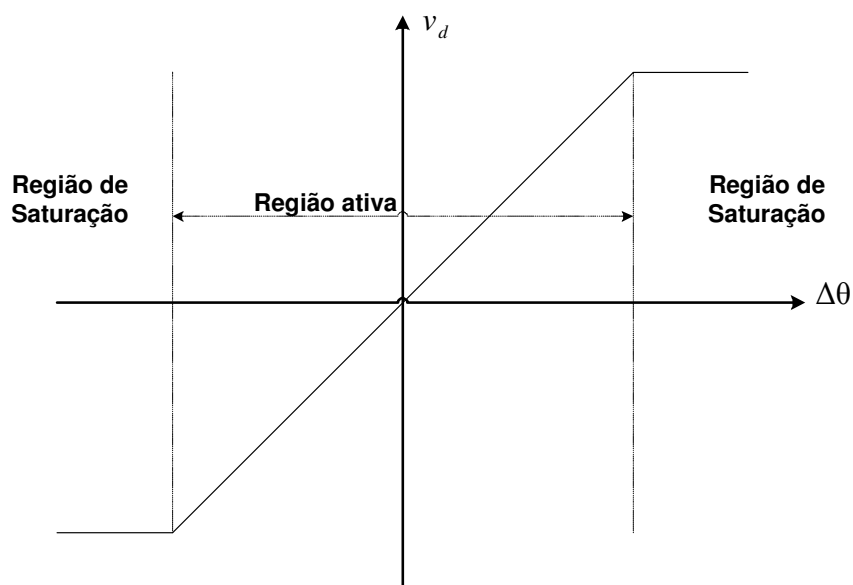
Para um sintetizador de freqüência funcionar de acordo com as especificações, esse necessita de duas características indispensáveis: estabilidade de freqüência, exigindo que o circuito comporte-se como um sistema estável após estar travado, e exatidão do sinal de saída, implicando erro do sinal de saída tendendo para zero do circuito em regime permanente. Para uma melhor visão destas características faz-se necessário uma pequena abordagem na teoria de sistemas de controle [7][8].



**Figura 2.2** – Diagrama em blocos da estrutura PLL da perspectiva de suas funções de transferências. A estrutura PLL é dividida basicamente em dois ramos: direto e de realimentação.

Embora o PLL tenha comportamento não-linear para certas condições de trabalho, nesta primeira abordagem supõe-se o laço de realimentação em condição de sincronismo, o que permite considerar o PLL um dispositivo aproximadamente linear. A Figura 2.2 mostra

o diagrama em blocos da estrutura PLL, vista do ponto de vista de suas funções de transferências, divididas em função de transferência do ramo direto  $G(s)$  e função de transferência do ramo de realimentação  $R(s)$ .



**Figura 2.3** – Representação gráfica do comportamento de um comparador de fase ideal.

O primeiro bloco da Figura 2.1 é o comparador de fase, responsável por receber o sinal da fonte de referência e compará-lo com o sinal da malha de realimentação, gerando em sua saída uma tensão diferencial. Na condição de travamento da frequência, a função do comparador de fase é resumida por:

$$V_d = K_c \cdot (\theta_{ref} - \theta_o) = K_c \cdot \Delta\theta \quad (2.1)$$

onde  $\theta_{ref}$  é a fase do sinal de referência,  $\theta_o$  é a fase do sinal da realimentação,  $K_c$  é uma constante de proporcionalidade denominada ganho do comparador de fase e  $V_d$  é a tensão diferencial resultante [7]. A Figura 2.3 mostra o comportamento teórico de um comparador de fase. É importante destacar algumas características evidentes na figura. O comparador de fase tem uma região de operação com comportamento linear e outra região de saturação do circuito. Os comparadores de fase são usados nos limites de sua região de linearidade, conhecida como região ativa. É interessante ressaltar que se podem ter comparadores de fase sensíveis apenas a variações de fase ou comparadores sensíveis á variações de fase e frequência [10]. Os comparadores sensíveis á variações de fase e frequência são os mais

usados. Como exemplo de um comparador sensível somente a variações de fase tem-se o implementado a partir de uma porta ou-exclusivo, não podendo ser usado como um comparador sensível á frequência, pois pode sincronizar em harmônicos da frequência da referência [9]. Para um comparador de fase sensível a variações de fase e de frequência tem-se o circuito de três estados, mais conhecidos como PFD (phase frequency detector) [3][10]. Outra forma de implementar um comparador de fase é através um misturador [6][10], que será mais detalhado.

O misturador é um dispositivo capaz de fornecer na sua saída um sinal proporcional á multiplicação dos sinais aplicados em suas entradas. Considerando os dois sinais sinusoidais no tempo, tem-se na saída do misturador a multiplicação das duas entradas, demonstrado nas equações

$$\begin{aligned} V_{ref} &= A_1 \cdot \sin(\omega_1 t - \theta_r) \\ V_o &= A_2 \cdot \cos(\omega_2 t - \theta_o) \end{aligned} \quad (2.2)$$

$$v_c(t) = K_c \cdot v_{ref}(t) \cdot v_o(t) = K_c A_1 A_2 \sin(\omega_1 t + \theta_r) \cos(\omega_2 t + \theta_o) \quad (2.3)$$

onde  $K_c$  é o ganho de conversão do misturador. Utilizando a identidade trigonométrica,

$\text{sen}(a) \cos(b) = \frac{1}{2} [\text{sen}(a+b) + \text{sen}(a-b)]$ , tem-se que

$$v_c(t) = \frac{1}{2} K_c A_1 A_2 \{ \text{sen} [(\omega_1 + \omega_2)t + \theta_r + \theta_o] + \text{sen} [(\omega_1 - \omega_2)t + \theta_r - \theta_o] \}$$

No caso particular de  $\omega_1 = \omega_2$ ,

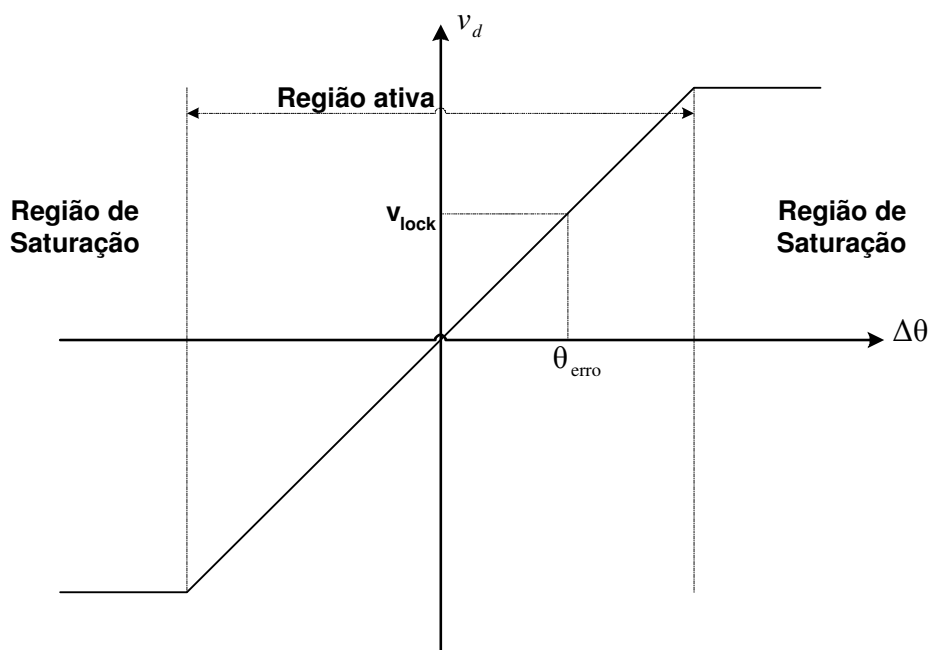
$$v_c(t) = \frac{1}{2} K_c A_1 A_2 \{ \text{sen} [(2\omega_1)t + \theta_r + \theta_o] + \text{sen} [\theta_r - \theta_o] \} \quad (2.4)$$

Como o filtro de malha do PLL é do tipo passa-baixas e a sua frequência de corte é inferior a  $\omega_1$ , tem-se

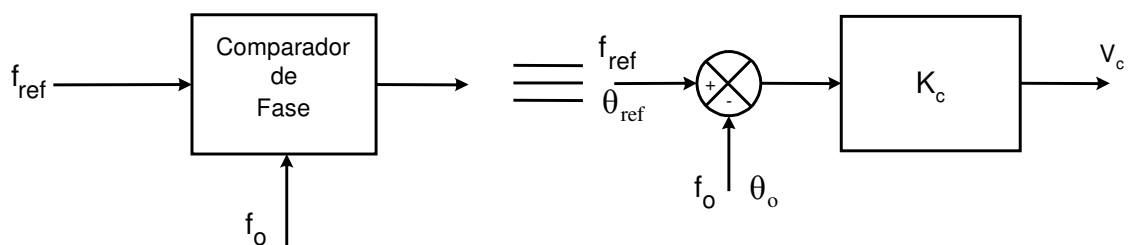
$$v_c(t) = \frac{1}{2} K_c A_1 A_2 \text{sen} [\theta_r - \theta_o] \quad (2.5)$$

percebendo-se que o misturador pode desempenhar a função de comparador de fase. Nota-se também que é sensível tanto às variações de frequência quanto a variações de fase, tendo como característica uma pequena faixa de captura [10]. A característica faixa de captura determina qual é a máxima diferença entre a frequência de saída desejada e a

freqüência gerada pelo VCO que o PLL é capaz de corrigir para entrar na situação de travamento. Para se ter o PLL estável e travado, a diferença de freqüência entre os dois sinais nas entradas do comparador de fase deverá ser nula e a diferença de fase convergirá para um valor constante. Neste caso, a malha de realimentação trabalhará sempre com um erro de fase presente no enlace, que irá variar de acordo com a freqüência sintetizada escolhida. A Figura 2.4 ilustra esta situação. Visando a análise do diagrama em blocos do PLL completo, pode-se representar o comparador de fase pelo conjunto equivalente da Figura 2.5.



**Figura 2.4** – Representação Gráfica do comportamento real de um comparador de fase. Na condição de sincronismo, o comparador de fase trabalha com um erro de fase diferente de zero.

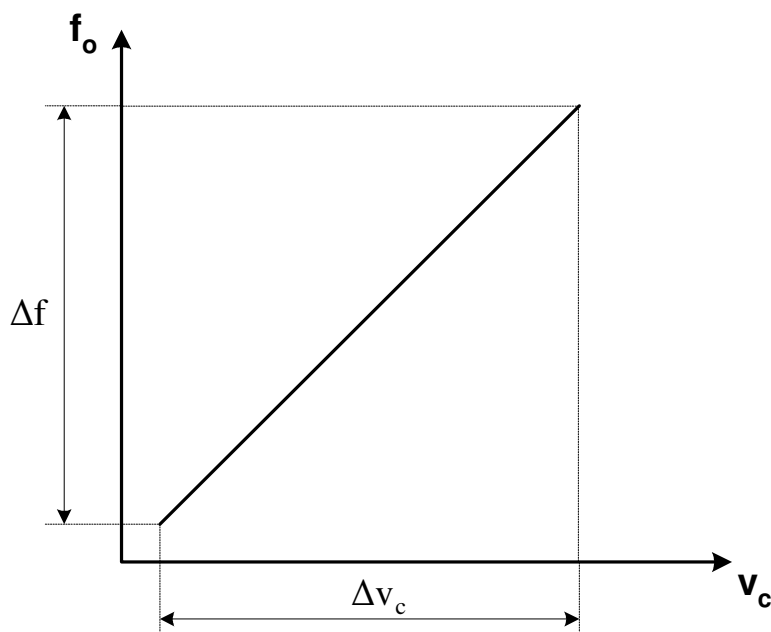


**Figura 2.5** – Equivalência de diagramas em blocos visando a representação do comparador de fase por uma função de transferência que será utilizada no equacionamento de toda a estrutura.

O segundo bloco analisado é o oscilador controlado por tensão (VCO), responsável por gerar um sinal de freqüência proporcional à tensão aplicada em sua entrada. A Figura



2.6 mostra o comportamento de um VCO teórico de característica linear válido para pequenos sinais.



**Figura 2.6** – Representação gráfica do comportamento teórico de um VCO excitado por uma tensão contínua de característica linear.

O VCO estabelece a atuação do sintetizador de frequência. Será o responsável por informar se o PLL pode estabilizar-se na frequência desejada. É importante observar na Figura 2.6 a inclinação da característica de transferência com relação à frequência, que determinará a sensibilidade do VCO com relação às variações de tensão em sua entrada. A relação entre a variação da frequência e a variação da tensão de entrada é denominada ganho incremental do VCO ( $K_v$ ) [6][11], representado por:

$$K_v = \frac{\Delta\omega_o}{\Delta v_c} [\text{rad}/V \cdot s] \quad (2.6)$$

Um fator importante em um VCO é verificar se a derivada com relação ao tempo de sua resposta ( $\partial\omega_o/\partial v_c$ ) é positiva em toda a sua região de excursão. Este dado indicará se o VCO está ou não com defeito em seu funcionamento. Caso existam pontos da reta onde a derivada seja negativa, indicará que existem problemas que necessitam ser solucionados no VCO. Para calcular a função de transferência do VCO, utiliza-se  $\omega_o = d\theta_o/dt$  [2], o que permite a conclusão

$$\Delta\omega_o = \frac{d(\Delta\theta)}{dt} = \Delta v_c K_v$$

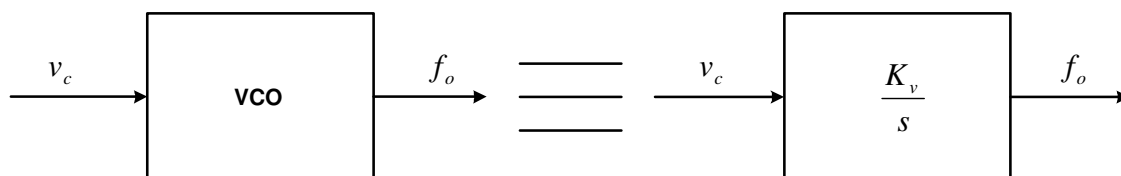
Aplicando a transformada de Laplace na equação, tem-se

$$s\theta_o(s) = V_c(s)K_v$$

e a função de transferência do bloco do VCO fica

$$\frac{\theta_o(s)}{V_c(s)} = \frac{K_v}{s} \quad (2.7)$$

De acordo com (2.7), o VCO pode ser representado pela função de transferência demonstrada na Figura 1.8.



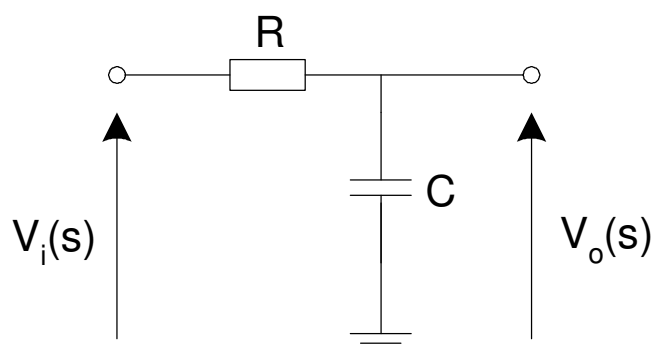
**Figura 2.7** – Equivalência de diagramas em blocos visando a representação do bloco VCO por uma função de transferência que será utilizada no equacionamento de toda a estrutura.

Pode-se encontrar vários modelos de VCO's e os mais conhecidos são os osciladores a cristal (identificados como CXO's, VCXO's ou TCXO's), os osciladores com circuito ressonante obtidos com elementos reativos, cabo coaxial ou cavidade ressonante e os multivibradores [7]. Os quatro primeiros geram sinais analógicos e o último gera um sinal digital. Os osciladores a cristal, têm como principal característica a geração do sinal a partir do harmônico de um cristal de frequência fundamental inferior. O segundo, terceiro e quarto tipos se diferenciam no circuito de sintonia. Podem ser controlados por um varicap, diodo capaz de variar a sua capacitância de junção em função da tensão reversa aplicada. O diodo varicap modifica as características do circuito ressonante resultante e faz a frequência do sinal de saída variar de acordo com a tensão aplicada em sua entrada. Os multivibradores têm o funcionamento baseado no controle do processo de carga de um capacitor na entrada de um comparador de tensão com histerese. O VCO é fundamental para o funcionamento do sintetizador de frequência, pois a pureza espectral da saída sintetizada pelo PLL é proporcional à pureza do sinal gerado por ele. Em um projeto, existe preocupação com respeito às degradações que os componentes podem causar no ruído de fase do sinal de saída. Um projeto deve sempre observar as limitações

dos componentes envolvidos, pois um bloco isolado do sistema pode prejudicar o comportamento final.

O terceiro bloco estudado é o filtro de malha, que recebe a maior atenção em um projeto de sintetizador de frequência. Isto acontece porque o filtro de malha é o circuito que tem maior influência sobre o comportamento do sinal de saída [10]. Este fato ficará evidenciado depois que a função de transferência do sistema for deduzida, a partir das funções de transferência de cada bloco. A sua principal função será filtrar o sinal vindo do comparador de fase, permitindo que somente a componente contínua excite o VCO. Por esta razão, o filtro de malha é do tipo passa-baixas. Devido ao fato do VCO ser um componente de excitação crítica, o filtro de malha deve ser projetado para que os ruídos gerados internamente ou externamente ao sistema não prejudiquem as características do sinal sintetizado, principalmente não contribua para aumentar o seu ruído de fase. O filtro de malha mais simples de ser implementado é composto de um resistor e um capacitor, Figura 2.8 [4]. Sua função de transferência é

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{\frac{1}{sC}}{\frac{1}{sC} + R} = \frac{\frac{1}{RC}}{s + \frac{1}{RC}} \quad (2.8)$$



**Figura 2.8** – Esquema de um filtro de malha no seu formato mais simples. Esta é a configuração mais simples de um filtro tipo passa-baixas formado por componentes discretos.

Segundo esta equação, sua frequência de corte ocorre em  $f_c = 1/2\pi RC$  e  $|H(s)|$  decresce a uma taxa de 20dB/década para  $f \gg f_c$ .

Na maioria dos projetos, a utilização deste filtro RC simples não é viável, pois oferece um comportamento indesejável quanto ao controle sobre as características do sinal

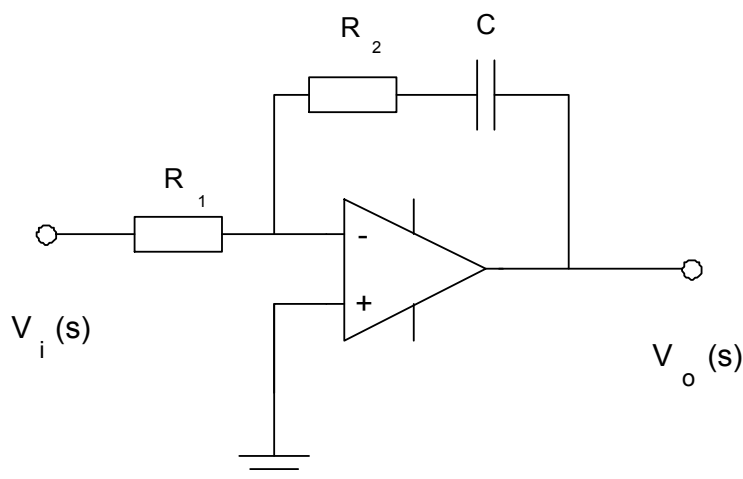
sintetizado. Este fato será melhor entendido com a ajuda da dedução da função de transferência de todo o sistema e a análise da influência da função de transferência do filtro de malha isoladamente.

Um tipo de filtro de malha muito utilizado na prática e que não possui as desvantagens do filtro RC simples é o compensador de atraso ativo com integrador [12][8].

A sua função de transferência é descrita por

$$H(s) = -\left(\frac{R_2 + \frac{1}{sC}}{R_1}\right) = -\left(\frac{sR_2C + 1}{sR_1C}\right) = -\left(\frac{R_2}{R_1} + \frac{1}{sR_1C}\right) = -\frac{R_2}{R_1} \left(\frac{s + \frac{1}{R_2C}}{s}\right) \quad (2.9)$$

e sua implementação obedece ao esquema básico da Figura 2.9.



**Figura 2.9** – Configuração de um filtro compensador de atraso ativo com integrador.

Este filtro comporta-se como um controlador proporcional integral (P.I). Observando a dedução de (2.9), pode-se notar a existência de duas parcelas com características distintas compondo a sua função de transferência. A primeira parcela,  $R_2/R_1$ , descreve o comportamento proporcional da função de transferência e a segunda parcela,  $1/(sR_1C)$ , descreve o seu comportamento integral, no domínio do tempo. A parcela proporcional está vinculada à característica da velocidade de chaveamento do PLL, já a parcela integral está ligada à característica de estabilidade do PLL, convergência do sinal sintetizado para a condição de travamento [8]. Esse filtro apresenta uma maior rejeição

para os sinais fora da sua faixa de passagem comparado ao anterior, também um alto grau de liberdade no controle das características do sinal sintetizado.

Duas importantes características determinadas pelo projeto do filtro de malha são a velocidade de chaveamento, fator crítico na detecção de sinais modulados em frequência, e a rejeição ao ruído, fator crítico em projetos de sintetizadores de frequência. Existe uma relação de compromisso entre estas duas características. Quando o filtro de malha for projetado para uma resposta rápida às mudanças em sua entrada, com uma frequência de corte elevada, uma frequência de corte menor que a frequência de comparação, porém próxima a esta ( $f_c < f_{comp}$ ), este apresentará pequena rejeição às interferências e ruídos internos e externos. Se estiver projetado para grande rejeição às interferências e ruídos internos e externos, com uma frequência de corte mínima, uma frequência de corte muito menor que a frequência de comparação ( $f_c \ll f_{comp}$ ), o mesmo tenderá a apresentar uma resposta lenta às mudanças em sua entrada [5][13]. Neste ponto é importante comentar que existem limitações tanto para a máxima frequência de corte quanto para a mínima. A mínima frequência de corte é limitada por valores proibitivos da velocidade de chaveamento e por possíveis instabilidades no travamento de frequência. A máxima frequência de corte é limitada pelo valor da frequência de comparação, pois quanto mais próximo desta, maior será a possibilidade de uma instabilidade no travamento da frequência e menor será a atenuação apresentada pelo filtro à frequência de comparação, indesejada na entrada do VCO. Normalmente em sintetizadores usados como osciladores, sistemas em que o ruído de fase tem grande relevância, a largura de faixa do filtro de malha é projetada para o seu valor mínimo possível. Esse valor varia de acordo com a aplicação para que o PLL está sendo projetado, o que possibilita o melhor desempenho do sistema do ponto de vista do ruído de fase. Nas próximas seções serão abordadas algumas maneiras de atuar no ruído de fase do sinal de saída através da manipulação dos valores dos componentes do circuito do filtro de malha.

### **2.3 – Conceitos sobre sistemas de controle**

Nesta seção serão tratados alguns conceitos da teoria de controle para o funcionamento dos sintetizadores de frequência. Primeiramente, será focalizada a necessidade de um circuito possuir um ramo de realimentação em sua estrutura, as vantagens e desvantagens desta técnica e a sua aplicação nos sintetizadores de frequência. Em seguida, serão

abordadas as características dos circuitos de controle, como a estabilidade e o erro em regime permanente, dois alicerces dos sistemas de controle [14].

Um sistema de controle é um circuito de regulação automática onde a variável a ser controlada pode ser temperatura, velocidade, pressão, frequência, etc. Existem dois tipos básicos: o sistema de malha aberta e o de malha fechada [14][15]. Um sistema de malha aberta possui um único ramo, chamado ramo direto, representado em um único bloco. Circuitos que trabalham em malha aberta não possuem ligação que possibilite a entrada do circuito acessar uma amostra do sinal de saída. (Figura 2.10).



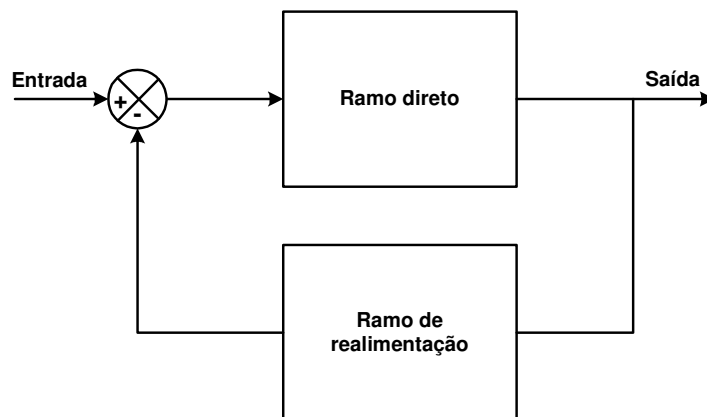
**Figura 2.10** – Diagrama em blocos representativo de um sistema de controle de malha aberta.

Devido ao fato de a entrada não ter acesso às informações de saída, o sistema de malha aberta não é capaz de modificar a saída de forma a seguir possíveis alterações nas condições instantâneas de operação e a saída não tem efeito sobre a ação de controle [15]. Os circuitos que trabalham em malha aberta normalmente necessitam de calibração para trabalharem. Os sistemas mais comuns são os operados por base de tempo e o controle de tráfego é um exemplo deste. A desvantagem dos sistemas em malha aberta é que se existirem modificações no sistema como desgaste físico, mudanças de comportamento devido à temperatura, inserção de distúrbios internos ou externos após a calibração do mesmo, o sistema não será capaz de corrigir essas eventualidades.

Um circuito com malha fechada possui dois ramos que agem simultaneamente, o ramo direto, semelhante ao circuito de malha aberta, e o ramo de realimentação. (Figura 2.11). A realimentação possibilita o circuito de controle usar uma amostra do sinal da saída que realiza uma ação corretiva, visando produzir uma saída estável [15].

Os circuitos com malha fechada permitem que o sinal de saída participe da ação de controle. Com o ramo de realimentação, o controlador é capaz de compensar ou corrigir alterações na operação do sistema, devidas à distúrbios internos ou externos, desgaste físico dos componentes ou de circuitos envolvidos, mudança brusca de temperatura, etc.. Deve-se considerar, porém, que os circuitos de malha fechada têm possibilidade de se

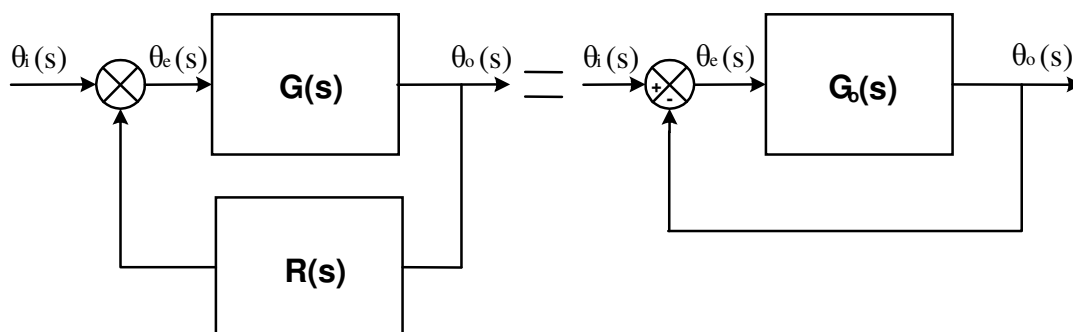
tornarem instáveis, o que é inaceitável para um circuito controlador. Mesmo diante de uma possível instabilidade, os controladores de malha fechada são utilizados em sintetizadores de frequência pela sua versatilidade e eficácia ao corrigir vários distúrbios introduzidos ao sistema.



**Figura 2.11** – Diagrama em blocos que exemplifica um controlador com malha fechada.

### 2.3.1 – Análise do erro no sinal para o sistema em regime permanente

Quando um circuito de controle é excitado, espera-se que sua saída se estabilize após um período de transição. A diferença entre o valor desejado e o valor obtido é chamada de erro em regime permanente. Antes de ser analisado o diagrama em blocos do PLL, será feita uma simplificação matemática para que o sistema possa ser representado por um diagrama em blocos composto por uma malha direta  $G_o(s)$  e uma malha de realimentação de valor unitário. Este segundo diagrama em blocos deve manter as características iniciais do sistema [14] e pode ser visualizado na Figura 2.12.



**Figura 2.12** – Simplificação matemática utilizada nos circuitos que possuem malha de realimentação com valor não unitário, visando tornar a análise do sistema mais simples.

Desta montagem pode-se obter a equação do erro do sinal de saída em regime permanente, partindo da relação entre os sinais de entrada e de saída do sistema:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{G_o(s)}{1+G_o(s)}$$

de maneira que o erro será

$$E(s) = \theta_i(s) - \theta_o(s) = \theta_i(s) - H(s) \cdot \theta_i(s) = \theta_i(s) - \frac{G_o(s) \cdot \theta_i(s)}{1+G_o(s)} = \frac{1}{1+G_o(s)} \cdot \theta_i(s) \quad (2.10)$$

Observando (2.10), pode-se perceber que o erro em regime permanente do sistema dependerá do sinal de excitação  $\theta_i(s)$  e das características da função  $G_o(s)$ . Tem-se um novo conceito que vinculará a característica da função  $G_o(s)$  com o erro do sinal de saída [7][8]. O tipo ou classe do sistema será determinado pelo valor da constante inteira  $q$  na qual a variável  $s$  no denominador da função de transferência de  $G_o(s)$ , estará elevada:

$$G_o(s) = \frac{K(s^m + a_{m-1}s^{m-1} + a_{m-2}s^{m-2} + \dots + a_1s + a_0)}{s^q(s^n + b_{n-1}s^{n-1} + b_{n-2}s^{n-2} + \dots + b_1s + b_0)} \quad (2.11)$$

Como exemplo, em um sistema do tipo ou classe 2 seria

$$G_o(s) = \frac{K}{s^2(s^2 + b_2s + b_0)} \quad (2.12)$$

A última ferramenta para que uma primeira avaliação de qualquer sistema caracterizado por uma função de transferência  $G_o(s)$  seja realizada é o teorema do valor final. É baseado na teoria de limites e determina se o sistema descrito pela função  $G_o(s)$  irá convergir ou divergir quando excitado por uma entrada  $\theta_i(s)$ . Caso o sinal de saída venha a convergir, o teorema do valor final também é capaz de determinar o valor final da variável analisada quando o sistema estiver em seu regime permanente. Basicamente, o teorema do valor final é representado pela equação [4][14]

$$\lim_{t \rightarrow \infty} f(t) = f_{\infty} = \lim_{s \rightarrow 0} s \cdot H(s)$$



Considerando algumas das entradas mais comuns, no domínio da transformada, levando em conta a função teórica de  $G_o(s)$  e o teorema do valor final, é possível montar uma tabela que relacionará os possíveis sinais de entrada, saída e os sistemas empregados. Esta relação pode ser verificada na Tabela 2.1.

**Tabela 2.1** – Tabela de valores que relaciona o valor da saída com a excitação e o tipo do sistema. Através da tabela pode-se notar uma relação entre as variáveis e uma regra de formação da tabela.

Tipo \ Excitação	Degrau (1/s)	Rampa (1/s <sup>2</sup> )	Parábola (1/s <sup>3</sup> )	1/s <sup>4</sup>
0	$\frac{1}{1+K_p}$	$\infty$	$\infty$	$\infty$
1	0	$\frac{1}{K_v}$	$\infty$	$\infty$
2	0	0	$\frac{1}{K_a}$	$\infty$
3	0	0	0	$\frac{1}{K_g}$

De posse destas ferramentas de análise, é possível analisar o PLL como um sistema de controle de malha fechada. A estabilidade do sistema implicará na sintonia do PLL na frequência desejada e o erro em regime permanente especificará se o sinal de saída irá estabilizar-se na frequência desejada. Se isto não ocorrer, qual será o deslocamento da frequência do sinal de saída com relação ao desejado.

## 2.4 – A função de transferência do PLL

Foi analisado o comportamento da estrutura de um PLL e nesta secção será feita a conexão dos blocos e analisado o comportamento do circuito total, evidenciando os blocos que mais influenciam no desempenho final. Alguns blocos do PLL têm as suas características quase que totalmente estabelecidas durante o projeto e tornam-se inacessíveis após essa fase. Este é o caso do divisor, do comparador de fase e, às vezes, do VCO, que pode ser construído a partir de componentes discretos ou encontrado na forma de circuito integrado. Como suas características alteram o ruído de fase do sinal sintetizado, é interessante ter acesso à sua construção e configuração, trabalhando com um VCO a partir de componentes discretos. Porém, a tendência do mercado é tornar os VCO's circuitos integrados dedicados para cada

aplicação e faixa de frequência, com características pré-estabelecidas. Esses blocos integrados são importantes para o funcionamento do PLL e escolhidos de maneira que se possa trabalhar com as variáveis fixas e compensá-las através da manipulação das variáveis de outras partes do circuito. As variações nas outras partes do circuito não causam grande impacto na estabilização da frequência do sinal de saída.

Quase todo o processo de sintonia da frequência é ajustável através da manipulação dos componentes do filtro de malha. O diagrama em blocos da Figura 2.13 resume a idéia de um PLL e sua função de transferência parte de

$$H(s) = \frac{A(s)}{1 + A(s)B(s)} \quad (2.13)$$

onde,  $A(s)$  é a função de transferência do ramo direto e  $B(s)$  é a função de transferência do ramo de realimentação. Têm-se

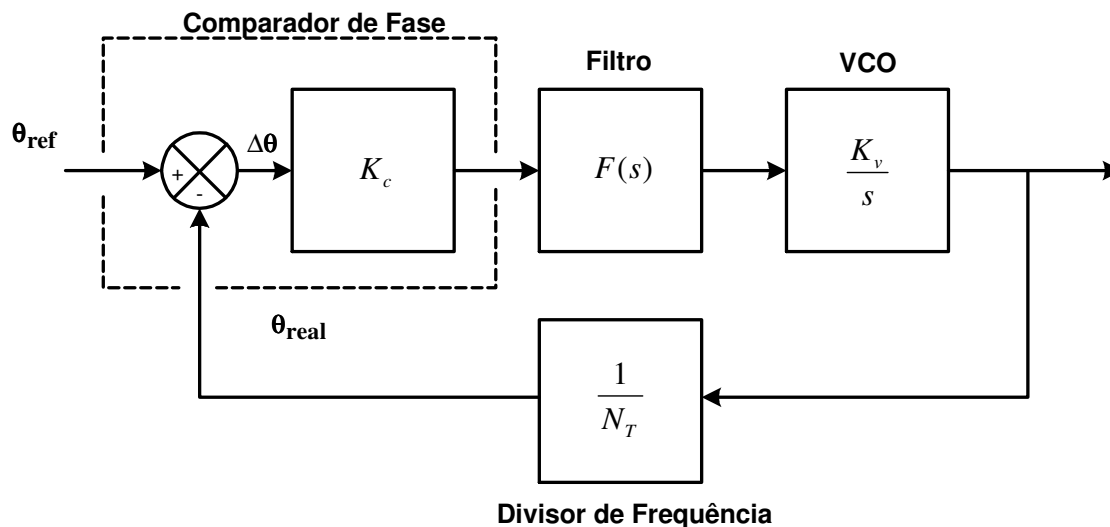
$$A(s) = \frac{K_c K_v F(s)}{s} \quad (2.14)$$

$$B(s) = \frac{1}{N_T} \quad (2.15)$$

e a função de transferência completa será

$$H(s) = \frac{\frac{K_c K_v F(s)}{s}}{1 + \frac{K_c K_v F(s)}{s N_T}} = \frac{K_c K_v F(s)}{s + \frac{K_c K_v F(s)}{N_T}} \quad (2.16)$$

Observando (2.16) e as secções anteriores, onde foram descritos os fatores  $K_c$  e  $K_v$  e sendo  $N_T$  o valor da divisão realizado na malha de realimentação, fica claro que  $F(s)$  será o principal ponto de ajuste do comportamento do PLL, o único ponto que permitirá alterações em sua estrutura após a definição dos circuitos que serão utilizados para implementar o comparador de fase, o VCO e o divisor de frequência [3]. Desta maneira, será analisado o funcionamento do PLL com a utilização do filtro de malha simples, descrito na Seção 2.3. Através dos resultados, será possível concluir se o mesmo tem características adequadas para compor o projeto de um sintetizador de frequência ou se é necessário a utilização de outros filtros mais sofisticados.



**Figura 2.13** – Diagrama em blocos de uma estrutura PLL completa. Neste caso a malha de realimentação não é unitária para possibilitar a saída sintetizada sincronizar em um valor múltiplo da referência.

Com um capacitor e um resistor é possível montar o filtro passa-baixas mais simples, conhecido como filtro de primeira ordem. (Figura 2.8). Sua função de transferência é dada em (2.8). Será analisado o comportamento do PLL baseado em (2.16).

Fazendo  $\frac{1}{RC} = \omega_c$ , tem-se:

$$\begin{aligned}
 H(s) &= \frac{K_c K_v \left( \frac{\omega_c}{s + \omega_c} \right)}{s + \frac{K_c K_v \left( \frac{\omega_c}{s + \omega_c} \right)}{N_T}} = \frac{\frac{K_c K_v \omega_c}{s + \omega_c}}{s + \frac{K_c K_v \omega_c}{N_T (s + \omega_c)}} = \frac{\frac{K_c K_v \omega_c}{s + \omega_c}}{\frac{K_c K_v L + N_T s (s + \omega_c)}{N_T (s + \omega_c)}} \\
 H(s) &= \frac{K_c K_v \omega_c}{s^2 + s \omega_c + \frac{K_c K_v \omega_c}{N_T}} \quad (2.17)
 \end{aligned}$$

De (2.17) observa-se que o PLL montado com um filtro de primeira ordem possui um comportamento equivalente a um sistema de segunda ordem, descrito pela função

$$H(s) = N_T \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2.18)$$

Comparando (2.17) com (2.18), as variáveis  $\omega_n$  e  $\xi$  podem ser determinadas, sendo que  $\omega_n$  é conhecida como frequência natural e  $\xi$  como fator de amortecimento [7][10].

$$\omega_n = \sqrt{\frac{K_c K_v}{N_T RC}} \quad (2.19)$$

$$\xi = \frac{N_T \omega_n}{2K_c K_v} \quad (2.20)$$

As equações que definem  $\omega_n$  e  $\xi$  mostram que os dois parâmetros estão relacionados com os mesmos fatores. Isto quer dizer que se um dos dois parâmetros for especificado o outro estará determinado. Uma desvantagem de se usar um filtro de malha RC simples é a falta de liberdade na escolha dos parâmetros envolvidos. Cada parâmetro especifica uma característica diferente no comportamento final do PLL. O parâmetro  $\omega_n$  define a largura de faixa do filtro de malha e altera o ruído de fase do sinal de saída. O parâmetro  $\xi$ , a velocidade de chaveamento devido às constantes envolvidas. A falta de liberdade na escolha dos parâmetros junto a uma filtragem muito suave, tornam esta escolha de um filtro RC simples uma opção pouco favorável. Serão abordadas as maneiras de se alterar cada parâmetro citado e quais os valores que mais influenciam no desempenho do PLL.

Visando resolver a falta de liberdade na definição de  $\omega_n$  e  $\xi$  e a resposta suave do filtro, deve-se usar um circuito mais sofisticado. Foi escolhido o filtro de malha compensador ativo de atraso com integrador, Figura 2.9 [6]. Esse filtro comporta-se como um integrador, no domínio do tempo, para as baixas frequências e o equacionamento do circuito fica

$$\begin{aligned} i_i &= \frac{v_i(t)}{R_1} \\ v_o &= -i_i \cdot R_2 - \frac{1}{C} \int i_i(t) dt \\ v_o &= -\frac{R_2}{R_1} v_i(t) - \frac{1}{R_1 C} \int v_i(t) dt \end{aligned} \quad (2.21)$$

Observando (2.9), verifica-se que a inserção da variável  $s$  no denominador justifica o aparecimento de um pólo na origem do plano S e a característica de integração do circuito, além de aumentar de uma unidade o tipo do sistema, reduzindo o erro em regime permanente. Para este novo caso, o PLL é denominado tipo II, pois a malha direta terá dois circuitos com comportamento integrador, o filtro de malha e o VCO. A partir da nova

função de transferência do filtro, será calculada a função de transferência do circuito completo [4]. Obtém-se

$$\begin{aligned}
 H(s) &= \frac{K_c K_v R_2 \left( \frac{s + 1/R_2 C}{s R_1} \right)}{s + \frac{K_c K_v R_2 \left( \frac{s + 1/R_2 C}{s R_1} \right)}{N_T}} = \frac{\frac{K_c K_v R_2 \left( s + 1/R_2 C \right)}{s R_1}}{s + \frac{K_c K_v R_2 \left( s + 1/R_2 C \right)}{s R_1 N_T}} \\
 H(s) &= N_T \frac{\frac{s K_c K_v R_2}{R_1 N_T} + \frac{K_v K_c}{R_1 C N_T}}{s^2 + \frac{s K_v K_c R_2}{N_T R_1} + \frac{K_c K_v}{C N_T R_1}} \quad (2.22)
 \end{aligned}$$

Esta equação mostra que o PLL montado com o novo filtro também possui comportamento equivalente a um sistema de segunda ordem. Comparando (2.22) com a expressão geral de uma função de segunda ordem [10]

$$H(s) = N_T \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2.23)$$

os valores  $\omega_n$  e  $\xi$  podem ser determinados sem dificuldades:

$$\omega_n = \sqrt{\frac{K_c K_v}{N_T R_1 C}} \quad (2.24)$$

$$\xi = \frac{1}{2} \omega_n R_2 C \quad (2.25)$$

As equações de  $\omega_n$  e  $\xi$  indicam que o problema da interligação destas variáveis foi resolvido com o uso do filtro compensador ativo de atraso com integrador. As variáveis  $\omega_n$  e  $\xi$  podem ser definidas separadamente de acordo com as necessidades de cada projeto, com um maior grau de liberdade entre as variáveis e um maior índice de filtragem para um mesmo processo [12].

Existem outros tipos de filtros compostos que apresentam pequenas melhorias no desempenho final do circuito, porém o filtro compensador ativo de atraso com integrador da Figura 2.9 é um dos que possuem a melhor relação complexidade versus eficiência, o que o torna popular e uma ferramenta muito utilizada [3].

## **Capítulo III**

### **Implementação do PLL**

#### **3.1 – Introdução**

A tecnologia de PLL está bem avançada nas faixas de UHF e VHF para diferentes aplicações. A utilização de PLL em radiofrequência já está muito difundida e o estudo de sintetizadores de frequência que operem na casa dos gigahertz é um novo desafio imposto pelo crescimento das telecomunicações. A abordagem proposta será implementar um PLL em 6GHz, onde há um contínuo desenvolvimento de radioenlaces digitalizados. Um dos desafios com o aumento da frequência de trabalho, é que as características do sintetizador de frequência tendem a se tornar um fator crítico no seu funcionamento. O desafio de projetar um PLL nesta frequência está em se conseguir um circuito que alcance um desempenho similar ou próximo dos construídos para as faixas de VHF e UHF.

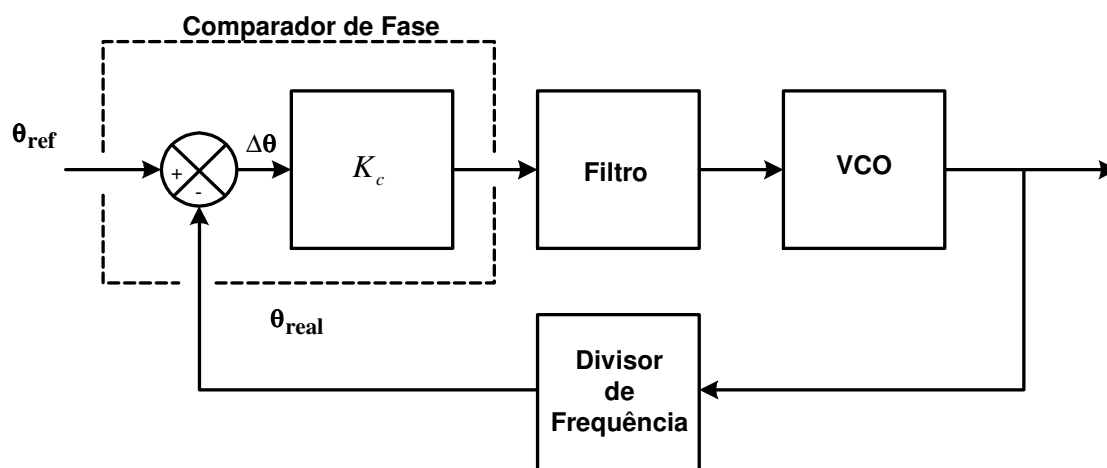
#### **3.2 – Diretrizes para a implementação do PLL**

##### **3.2.1 – Regras gerais**

A implementação do PLL foi feita com circuitos integrados associados a componentes discretos. O divisor de frequência, o comparador de fase e o oscilador controlado por tensão (VCO) foram construídos com circuitos integrados e o filtro de malha foi montado com componentes discretos. Justifica-se o uso dos circuitos integrados

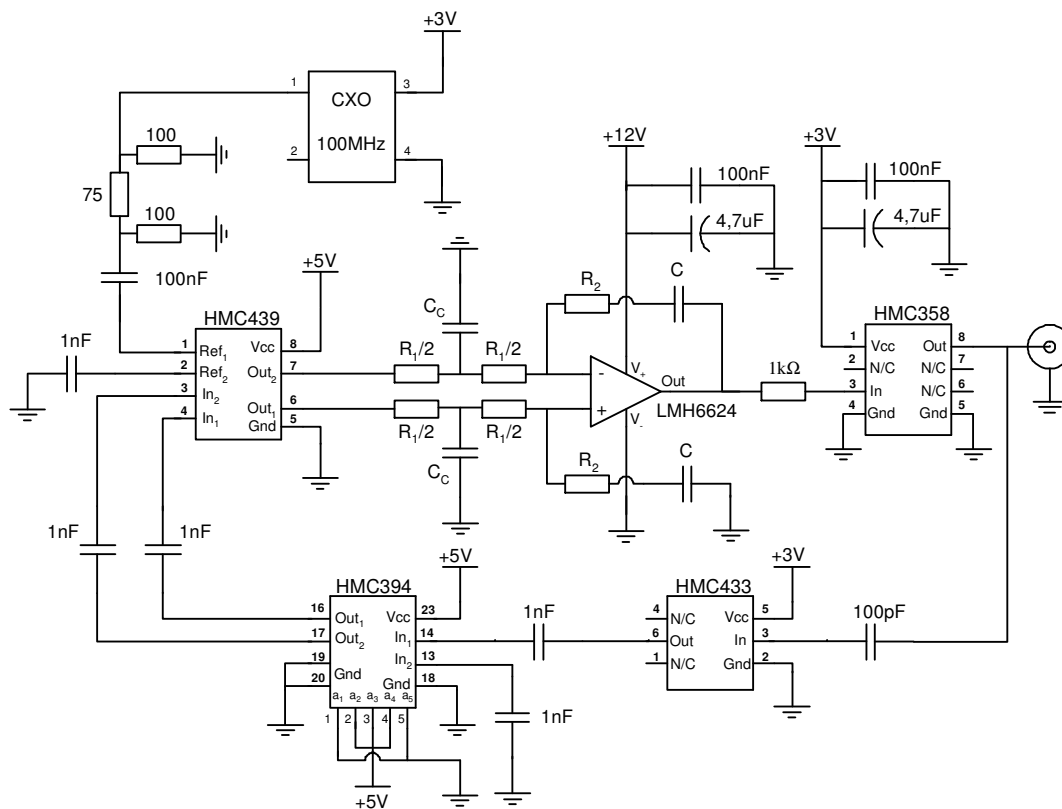
por apresentarem características que beneficiam o projeto em faixas específicas de frequência. Um exemplo é o modelo da Hittite em que os três circuitos integrados possibilitaram a geração de um sinal com um baixo ruído de fase em microondas [16].

Uma das preocupações em um projeto é não utilizar um componente discreto ou integrado que gere elevado ruído de fase. A amplitude e o formato final do ruído de fase do sistema deve, sempre que possível, ser controlada pelo filtro de malha. Esse bloco determina os aspectos críticos do projeto de um PLL que são a largura de faixa do ruído, o travamento do sinal de saída na frequência desejada e sua velocidade de chaveamento, o amortecimento do sinal e o valor e comportamento do ruído de fase final do sistema.



**Figura 3.1** – Diagrama em blocos da estrutura PLL que é dividida em quatro blocos principais: comparador de fase, filtro, VCO e divisor de frequência.

Baseado no diagrama em blocos da Figura 3.1, o PLL tem o seu funcionamento alicerçado em quatro blocos, interligados para formarem um sistema de malha fechada. O comparador de fase implementado com o CI HMC439 compara a frequência e a fase da amostra do sinal de saída vindo do divisor de frequência com o sinal de referência, neste caso obtido de um CXO de 100MHz [17]. O resultado desta comparação é entregue ao filtro de malha que gera uma tensão corretiva contínua de controle que excita o VCO, implementado com o CI HMC358. Na saída do VCO, tem-se um sinal de frequência proporcional à tensão contínua vinda do filtro. A Figura 3.2 apresenta o esquema elétrico final do protótipo, relativo ao diagrama em blocos da Figura 3.1. As Figuras 3.3 e 3.4 apresentam o protótipo desenvolvido, contendo os quatro blocos interligados, e os equipamentos utilizados para analisá-lo.

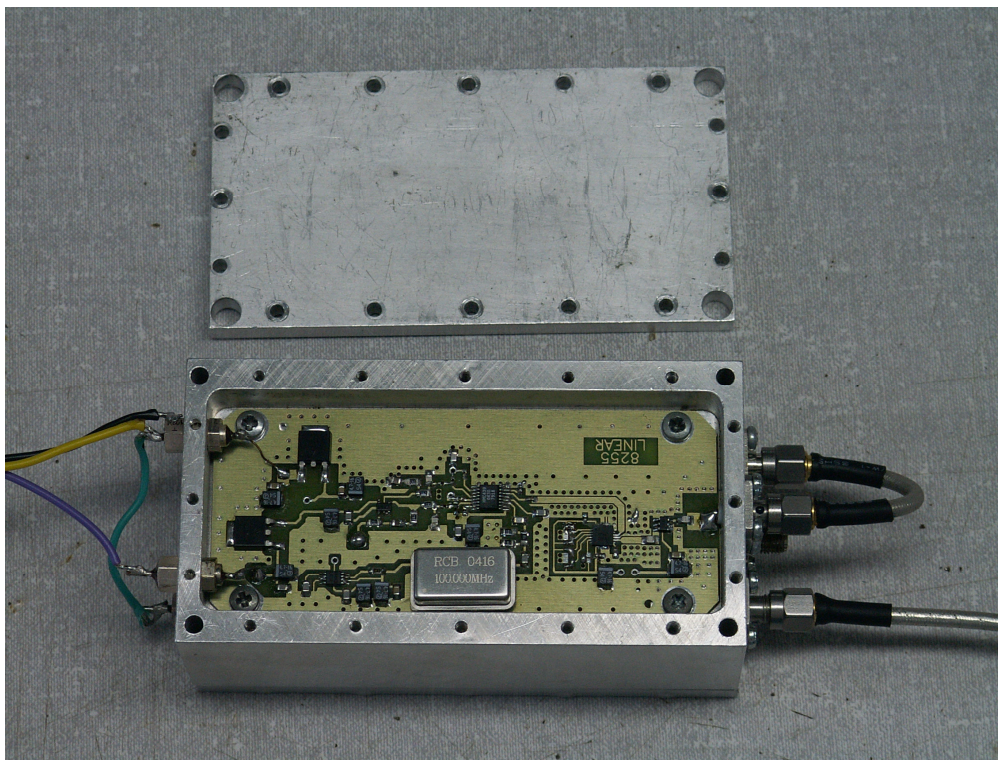


**Figura 3.2** – Esquema elétrico final do protótipo analisado. Este apresenta todos os componentes utilizados, suas interligações e alimentações necessárias para que o circuito funcionasse de forma adequada.



**Figura 3.3** – Foto do protótipo e das ferramentas usadas na sua análise. O analisador de espectro, o osciloscópio e as fontes de alimentação.





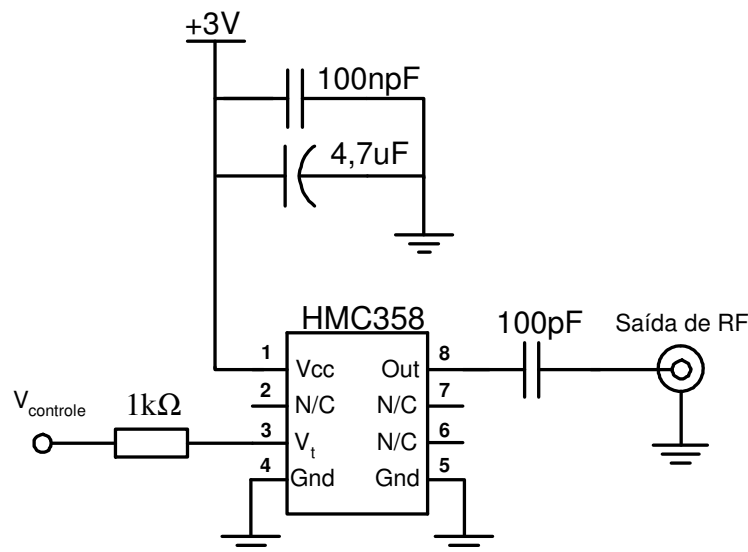
**Figura 3.4** – Foto detalhada do protótipo. Verifica-se o cuidado com a blindagem requerida pelo sistema. O PLL está dividido em duas partições uma para o VCO e outra para o comparador de fase, divisores e filtro de malha. As divisões são interligadas por um cabo externo blindado, localizado à direita da foto.

### 3.2.2 – Metodologia utilizada

Empregando placas de teste oferecidas pelo fabricante norte-americano Hittite e componentes e instrumentos disponíveis em laboratório, realizaram-se testes práticos em cada bloco do sistema. Com esta abordagem, foi possível trabalhar com cada bloco e ajusta-los em seus melhores pontos de funcionamento, facilitando o objetivo de um melhor resultado na estrutura completa. Os blocos foram divididos da seguinte forma: oscilador controlado por tensão (VCO), divisor, comparador de fase e PLL completo. Serão apresentados os circuitos, os testes e resultados obtidos de cada um.

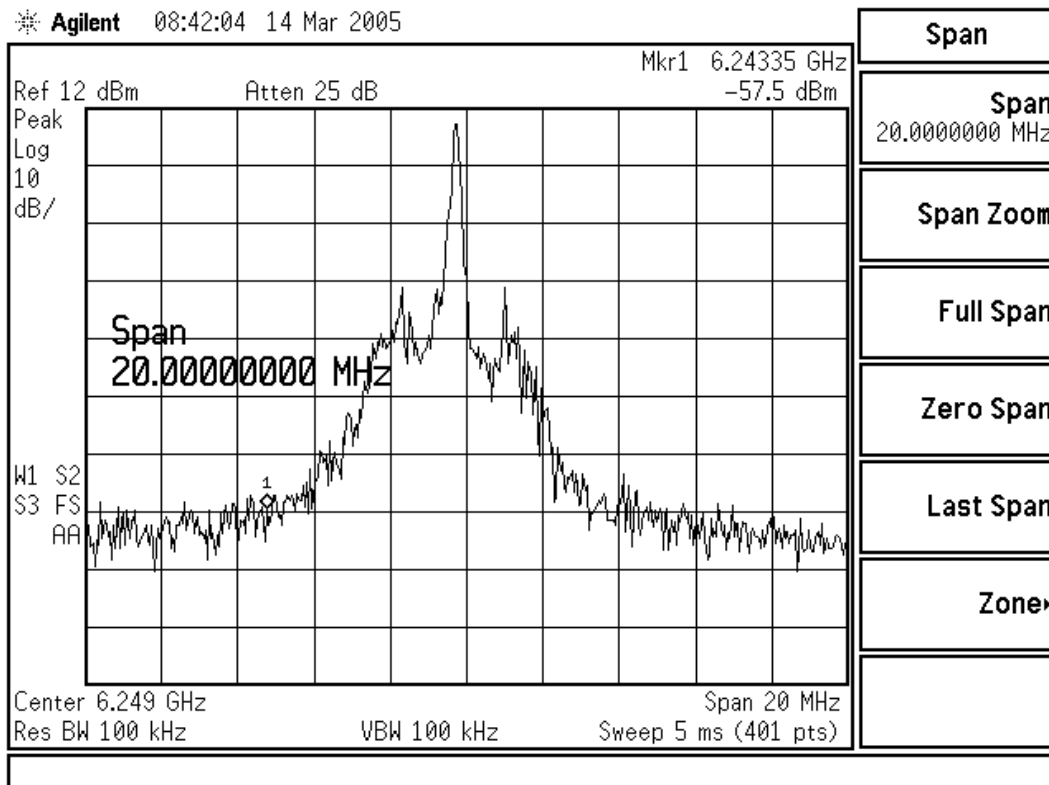
### 3.2.3 – Oscilador controlado por tensão

Devido à grande influência de fatores externos e seus efeitos no ruído de fase do PLL, o oscilador controlado por tensão será o primeiro bloco analisado. Sua montagem inclui um circuito integrado da Hittite (HMC358MS8G), o filtro da alimentação e uma placa com o a disposição orientada pelo guia do fabricante [16]. O esquema elétrico do circuito sob teste está na Figura 3.5.

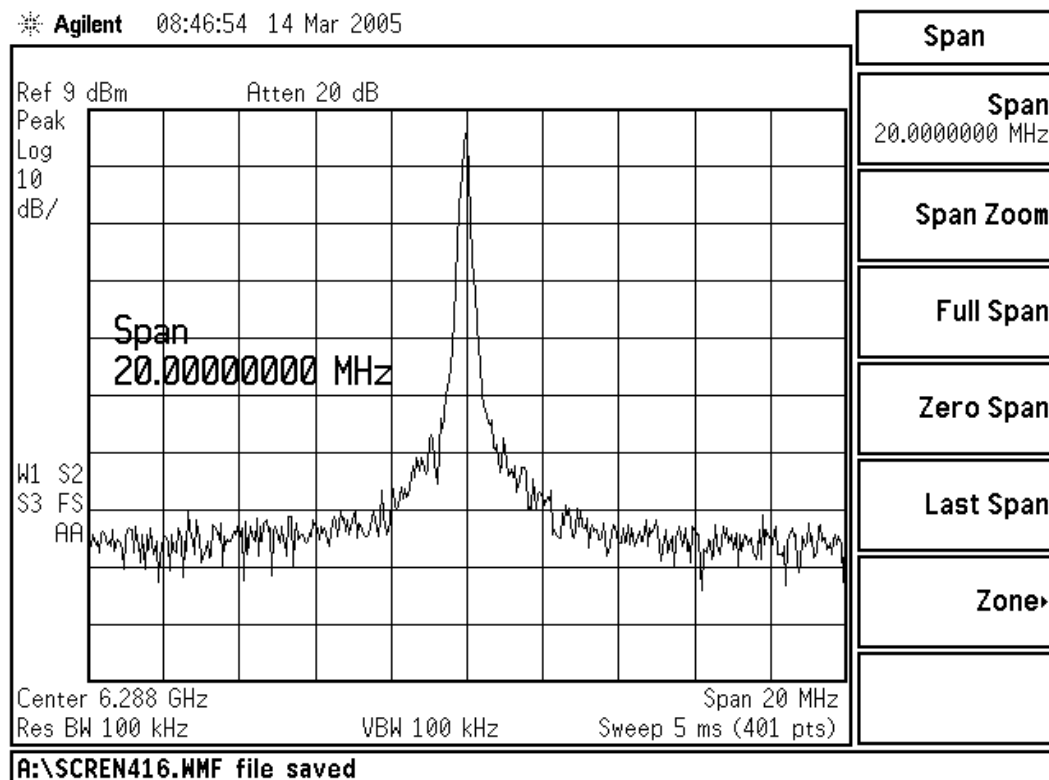


**Figura 3.5** – Esquema elétrico do circuito VCO. Este apresenta os componentes que formam o filtro da alimentação, o circuito integrado da Hittite HMC358MS8G e os componentes discretos necessários para polarizar e acoplar o componente.

O primeiro cuidado ao se trabalhar com um VCO é sua alimentação. Sem a estabilização e filtragem da tensão percebe-se que o VCO não consegue atingir a sua característica de ruído de fase especificada [18]. A Figura 3.6 mostra o sinal gerado a com um VCO alimentado por uma tensão contínua contendo flutuações em sua amplitude, característica de uma fonte não regulada e não filtrada adequadamente. O sinal de saída está com um elevado ruído sobreposto à portadora. Este ruído é originado por interferências e pelas variações de amplitude da tensão contínua vinda da fonte de alimentação [18][19]. Pequenas mudanças na amplitude da tensão e interferências geradas nas fontes de alimentação, como o vazamento da frequência de chaveamento da fonte chaveada, são suficientes para degradar o funcionamento do VCO e do PLL. Para resolver este problema, é necessário a inserção de um regulador de tensão linear com excelentes características de regulação e um filtro de desacoplamento entre a fonte de alimentação e a alimentação do VCO. A proximidade do filtro do pino do componente contribui para melhor filtragem. A Figura 3.7 mostra o sinal gerado pelo VCO trabalhando com filtragem e regulação da fonte de alimentação. Nota-se a grande diferença da utilização desses artifícios, evidenciando que a fonte do ruído junto à portadora na Figura 2.6 era a alimentação usada para o VCO. Seguindo a mesma linha de raciocínio, verifica-se a necessidade de uma filtragem na tensão de controle da entrada do VCO, trabalho crítico realizado pelo filtro de malha.

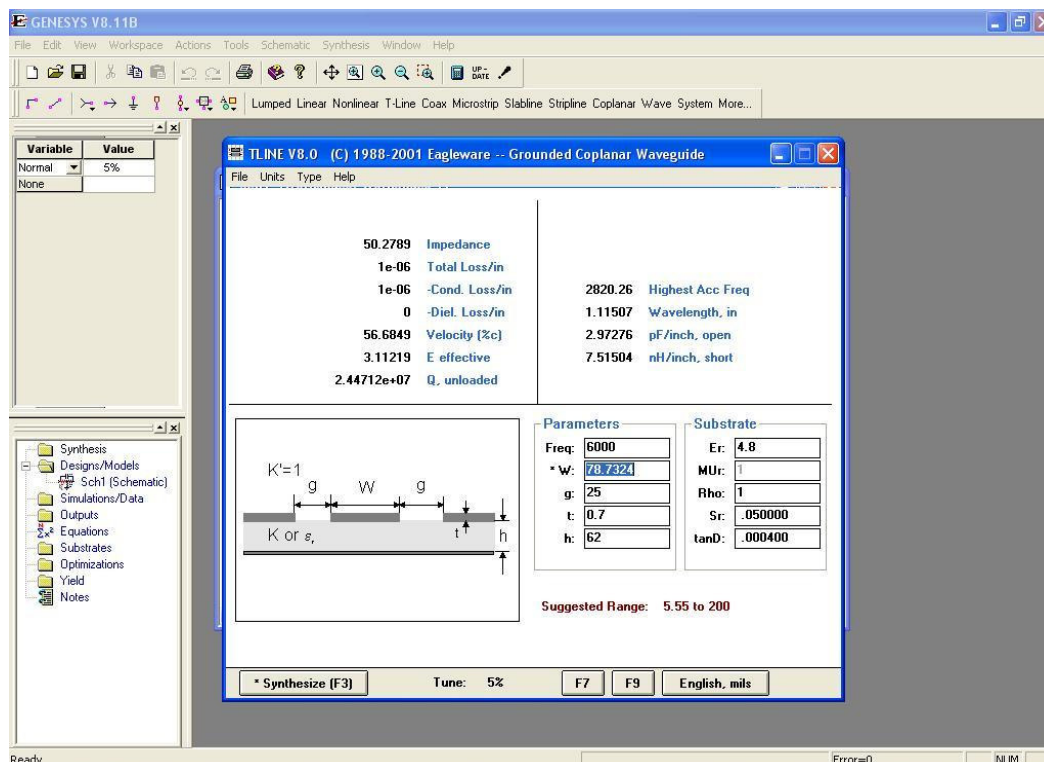


**Figura 3.6** – Espectro do sinal gerado por um VCO alimentado por uma tensão não regulada e não filtrada de forma adequada. O ruído da fonte é transferido para o sinal gerado.



**Figura 3.7** – Espectro do sinal gerado pelo VCO alimentado por uma tensão regulada e filtrada. O ruído da fonte foi praticamente extinto.

Outro cuidado na construção do VCO é a disposição dos componentes e a construção de trilhas casadas em 50 ohms para o tráfego do sinal de RF. Grande parte dos problemas do funcionamento inadequado dos circuitos de RF está associada à disposição dos componentes e ao descasamento entre os estágios. Detalhes como trilhas para o sinal de RF projetadas para casamento em 50 ohms e um plano terra bem estruturado e interligado são fatores essenciais [20]. Neste projeto, foram utilizados um guia de montagens oferecido pela Hittite [16] e o programa computacional de simulações de circuitos e de projetos de RF Eagleware. Isso para que a disposição final dos componentes e suas interligações garantissem o melhor funcionamento dos circuitos de RF sob teste. Nas ligações entre os estágios, foi usada a técnica de casamento conhecida como guia de ondas coplanar aterrado (GCWG, de *Grounded Coplanar Wave Guide*) para gerar as trilhas nas quais passam o sinal de RF. A técnica GCWG determina quais as dimensões e a distância do plano terra que a trilha de RF deve ter para apresentar uma impedância característica de 50 ohms. O programa Eagleware apresenta a facilidade de calcular estes parâmetros a partir das características do substrato utilizado na construção das placas e da impedância desejada para a trilha. Esta parte do programa é chamada de Tline e a sua interface pode ser vista na Figura 3.8.



**Figura 3.8** – Interface visual do Tline, ferramenta disponível no programa Eagleware .

Para construção do plano terra deve-se levar em conta que todas as partes da placa de RF que não possuem trilhas de casamento, de comunicação e de alimentação, devem ser preenchidas com conexões de terra. A parte inferior da placa, considerando que as placas de RF são em sua grande maioria de dupla face, na medida do possível deve ser totalmente preenchida com conexões de terra [19]. Visando a melhor atuação do plano de terra, os dois lados da placa que possuem terra devem ser interligados através de vias metalizadas. Maior atenção deve ser dada á isolação entre as trilhas de entrada e saída dos componentes. Sempre que possível é adequado inserir várias vias metalizadas perto dos pontos de entrada e saída dos componentes, que ajuda a evitar realimentações e inserções de ruídos.

Dois efeitos conhecidos como *pulling* e *pushing* também afetam o desempenho do VCO [18]. Alterações na freqüência de saída devido a variações na impedância de carga são conhecidas como arrasto de freqüência (*frequency pulling*) [20]. Este efeito é comum e tem como explicação o fato de que quando a impedância da carga do VCO mudar de valor, se sua saída não estiver bem isolada, pode produzir mudanças na tensão contínua das junções do dispositivo ativo. Isso pode acarretar em alterações nos efeitos capacitivos internos e, conseqüentemente, na freqüência de oscilação. Por exemplo, em um VCO construído com componentes discretos, uma variação na tensão entre base-coletor ( $V_{cb}$ ) de um dispositivo bipolar, afeta a capacitância  $C_{cb}$  do dispositivo, refletindo-se no circuito ressonante e conseqüentemente em sua freqüência de oscilação e no ruído de fase [20][21]. Para minimizar este efeito é necessária uma isolação entre a saída do VCO e a sua carga. Esta pode ser realizada através da inserção de um atenuador construído a partir de três resistores interligados na configuração pi, ou de um isolador (*buffer*) entre a carga e a saída [19][21]. Na prática não foi necessário a inserção do atenuador ou do isolador, pois o CI utilizado possui um circuito de isolação interno [16].

O efeito conhecido como *pushing* é percebido quando, para uma mesma tensão de controle, a freqüência do sinal de saída varia devido a variações de tensão em sua alimentação. A construção interna dos VCO's apresenta efeitos capacitivos que variam de acordo com a tensão e a corrente aplicados [22]. A variação do efeito capacitivo a partir da alimentação do VCO é responsável por mudar as capacitâncias do circuito oscilante, a freqüência do sinal de saída e seu ruído de fase. Este efeito é menos conhecido, pois a solução dada ao problema da fonte de alimentação é suficiente para suprimí-lo.

Outras características importantes foram verificadas durante os testes no protótipo. Uma delas é que o VCO apresenta melhores características de ruído de fase quando

excitado com tensões de controle de valores elevados. Este fato é justificado quando se verificam as propriedades dos varactors, componentes que variam seu valor de capacitância proporcionalmente a tensão aplicada em seus terminais, usados nos circuitos osciladores. Para tensões mais elevadas, tem-se uma menor variação da capacitância, menor derivada da capacitância em relação à tensão e menor inserção de ruído no sistema [23]. Essa derivada fornece uma estimativa do valor instantâneo do coeficiente de ganho  $K_v$ .

Outro fator interessante é que o ganho ( $K_v$ ) está relacionado com o ruído de fase na saída do VCO [5]. Quanto menor o ganho, menor será a faixa de frequência de cobertura, maior será o fator de mérito ( $Q$ ) do circuito ressonante e menor será o ruído de fase gerado. Essa característica é útil para se obter melhorias no ruído de fase, porém a faixa de frequência de cobertura do VCO determinará a faixa dinâmica de operação do PLL.

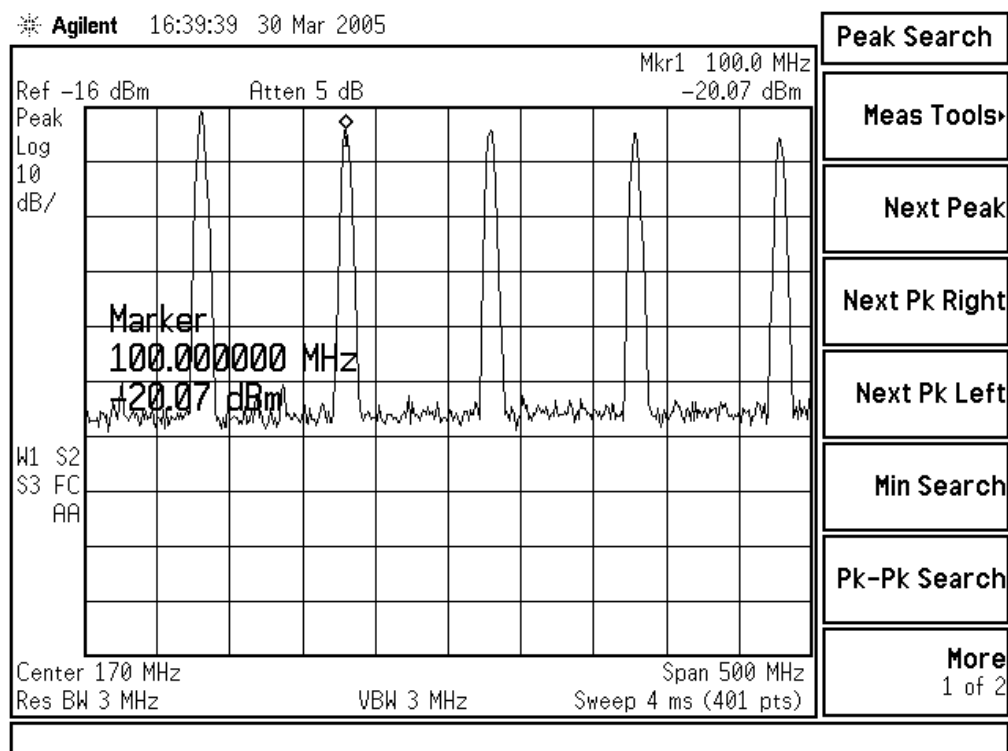
### **3.2.4 – Divisor de frequência**

O divisor de frequência é o único circuito existente na malha de realimentação. Essa malha tem como objetivo fechar um laço com o sinal sintetizado, tornando o PLL capaz de corrigir os erros de frequência e de fase do sinal de saída. O divisor retira uma amostra do sinal na saída já multiplicado, e a divide por um valor especificado. O sinal de sua saída é entregue ao comparador de fase e possui uma frequência de mesma ordem de grandeza do sinal de referência, para que possam ser comparados no circuito comparador de fase. De posse dos dois sinais com frequências da mesma ordem de grandeza em sua entrada, o comparador gera um sinal de erro que passará pelo filtro de malha, que entregará um sinal de correção ao VCO, atualizando o sinal sintetizado de saída.

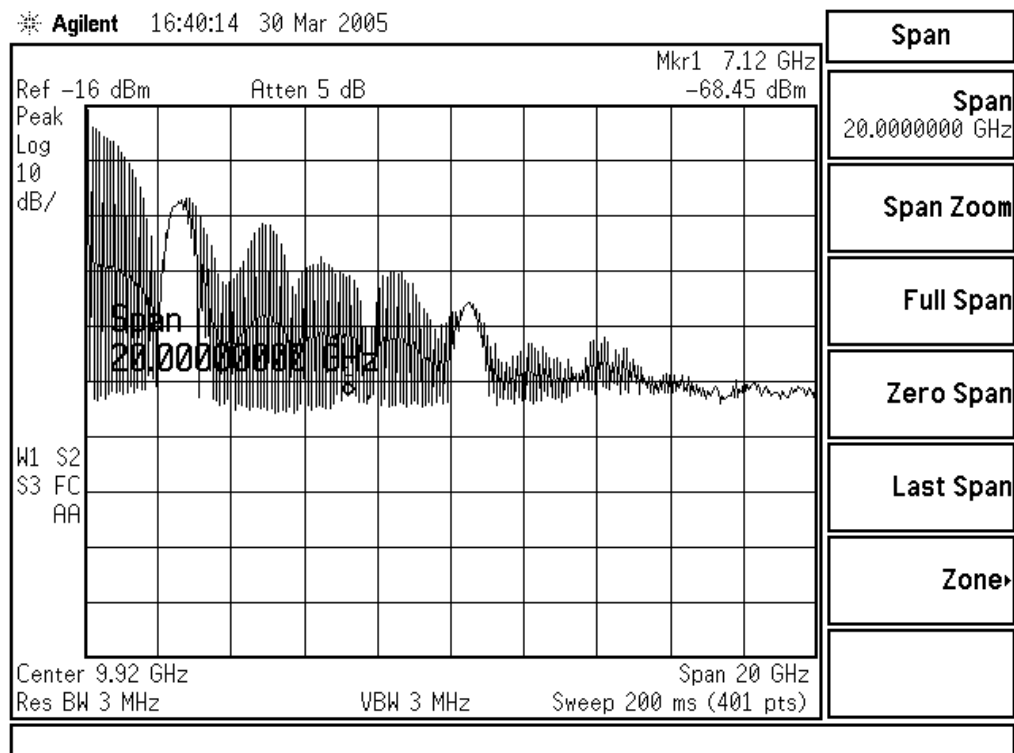
No protótipo montado, o sinal de referência que chega ao comparador de fase possui frequência de 100MHz. Para que o PLL seja capaz de sintetizar um sinal de 6GHz, o divisor deve apresentar uma divisão de 60 vezes. Para executá-la, foram usados dois divisores integrados da Hittite. O primeiro divisor é o HMC433, que permite a divisão por quatro [16]. O segundo é o HMC394, divisor programável de 5 bits que permite uma divisão de duas a trinta e duas vezes, neste caso programado para dividir por 15 [16]. A associação dos dois divisores em cascata apresenta a divisão final de 60 vezes. Nesta configuração o PLL é capaz de sintetizar apenas frequências múltiplas de 400MHz, ou seja: 5,6GHz, 6GHz, 6,4GHz, etc., devido ao divisor fixo de quatro vezes. Esta

configuração foi escolhida, pois a máxima frequência de entrada que o HMC394 permite é de 2,2GHz. É importante lembrar que as frequências que podem ser sintetizadas pelo PLL são limitadas pela faixa de atuação do VCO utilizado.

No protótipo, o VCO utilizado na construção do PLL tem sua faixa de atuação limitada entre 5,8GHz e 6,8GHz [16]. Isto indica que após o divisor, a faixa de frequência entregue ao comparador de fase será de 96,67MHz (5800MHz dividido por 60) a 113,33MHz (6800MHz dividido por 60). Neste ponto, é importante lembrar do conceito de *faixa de captura do PLL*. É definida como a máxima diferença da frequência da malha de realimentação com relação à frequência de referência que o PLL é capaz de corrigir e entrar em condição de travamento. Tanto para uma pequena diferença de 96,67MHz para 100MHz ou para uma maior diferença de 113,33MHz para 100MHz, o PLL foi capaz de entrar na situação de travamento. Isto indica que a faixa de captura do PLL montado é maior do que as diferenças encontradas acima, pois para qualquer um dos dois valores limites encontrados na malha de realimentação o PLL foi capaz de entrar na situação de travamento. O comparador de fase e o filtro de malha serão os responsáveis por definir a faixa de captura do PLL. As Figuras 3.9 e 3.10 apresentam o espectro de frequência do sinal entregue pelo divisor ao comparador de fase.



**Figura 3.9** – Espectro de frequência do sinal presente na saída do divisor visualizado com uma banda de análise de 500MHz.



**Figura 3.10** – Espectro de frequência do sinal presente na saída do divisor visualizado com uma banda de análise de 20GHz. Nesta figura é possível visualizar, na envoltória do sinal, a presença da função  $Sa(\omega)$ .

Os circuitos integrados usados no protótipo, na sua maioria, oferecem a possibilidade de se ter suas interligações nas formas balanceada ou desbalanceada. Principalmente nas ligações entre os divisores e o comparador de fase, sempre que possível, deve-se ter ligações balanceadas, pois resultam em maior imunidade aos ruídos externos. Sabendo que o ruído de fase é uma característica inerente a um oscilador local, o divisor apresenta um desempenho interessante neste parâmetro. O ruído de fase dividido sempre é menor do que o ruído de fase original, quantificado em decibels pela equação a seguir [1][4].

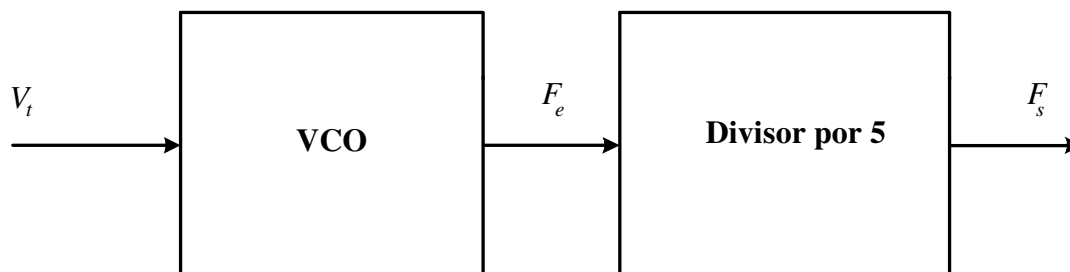
$$RF_s = RF_e + 20 \log(N_T) \quad (3.1)$$

onde  $RF_s$  é o ruído de fase na saída do divisor,  $RF_e$  é o ruído de fase na entrada do divisor e  $N_T$  o valor da divisão. O exemplo da Figura 3.11 pode ser útil na compreensão deste conceito. O diagrama em blocos representa um esquema prático de duas placas de testes montadas com circuitos integrados. Esta implementação foi proposta para evidenciar os efeitos da divisão na frequência e ruído de fase. Foi colocada uma tensão  $V_i$ , fixa na entrada do VCO, produzindo uma frequência fixa em sua saída,  $F_e$ . A saída foi ligada a um divisor por cinco que gerou uma frequência  $F_s$  em sua saída. Foram medidos o ruído de



fase nos pontos na entrada ( $RF_e$ ) e na saída ( $RF_s$ ) do divisor. Os valores obtidos foram:  $F_e = 6,30927\text{GHz}$ ,  $RF_e = 71,65\text{dB}$ ,  $F_s = 1,2618$ ,  $RF_s = 86,3\text{dB}$ , resultando em

$$RF_s = 71,65 + 20 \log(5) = 71,65 + 13,98 = 85,63 \text{ dB}$$



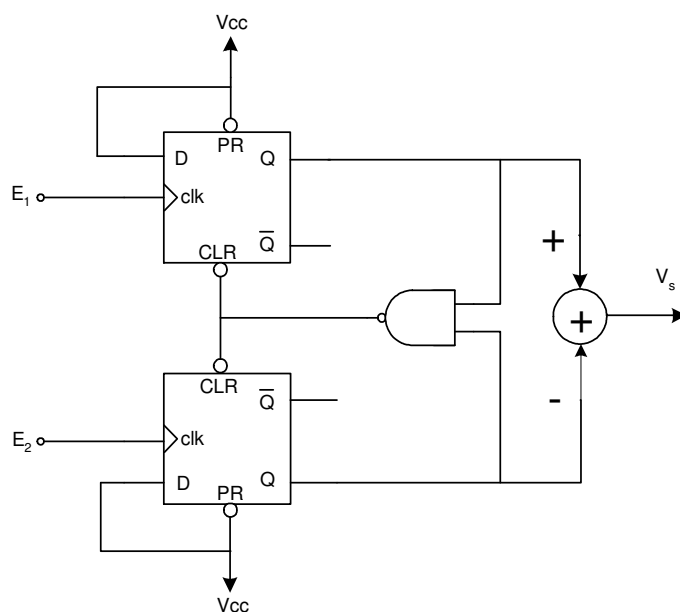
**Figura 3.11** – Montagem parcial dos circuitos integrados visando demonstrar a melhoria na característica de ruído de fase do sinal proporcionado pela divisão.

O exemplo mostrado comprova (3.1) de forma aproximada, sendo 85,63dB um valor próximo a 86,3dB. Esta diferença pode ter sido ocasionada por uma tolerância no equipamento de medida, a perda dos cabos utilizados para aquela frequência ou outros fatores. Quando o sinal é dividido por  $N_T$ , existe uma melhora no ruído de fase do sinal da saída proporcional à  $N_T$ . Porém, quando o sinal é multiplicado por  $N_T$  existe uma degradação no ruído de fase no sinal da saída proporcional à  $N_T$ . Assim (3.1) pode ser usada no caso da multiplicação, trocando-se o sinal de mais por menos.

### 3.2.5 – Comparador de fase

O comparador de fase é difícil de ser testado separadamente devido à necessidade de se montar um ambiente de testes com vários equipamentos, que permitam verificar e controlar em todo tempo as características (frequência, amplitude e fase) das variáveis de entrada e de saída. A situação do comparador de fase no instante do travamento do PLL só poderá ser avaliada com o circuito funcionando em malha fechada. Esta é possível quando a malha de realimentação for conectada e o circuito for capaz de executar a correção de frequência e de fase no sinal sintetizado. A verificação do funcionamento do comparador de fase será apresentada junto com o funcionamento do circuito completo. Existem, porém, algumas informações a serem mencionadas. O comparador de fase utilizado neste projeto é conhecido como detector de frequência e fase (*Phase Frequency Detector* - PFD). Foi escolhido devido à sua sensibilidade tanto às variações de frequência e às variações de

fase, o que permite o travamento de frequência do PLL para qualquer condição inicial, de fase e frequência, do circuito [3]. A Figura 3.12 apresenta a sua construção interna.



**Figura 3.12** – Implementação básica de um comparador de fase do tipo PDF.

Como já comentado, o comparador de fase tem como principal função comparar uma amostra do sinal sintetizado com o sinal de referência, neste caso um CXO de 100MHz. Através da comparação dos dois sinais, será gerado um sinal de erro que corrigirá a frequência do sinal sintetizado, possibilitando o travamento de frequência do PLL. Ressalta-se que quanto maior for a frequência de comparação com que o comparador estiver trabalhando menor será o ruído de fase do sistema, (3.1) [1]. Neste projeto a comparação está sendo realizada em 100 MHz, valor próximo do limite atual dos fabricantes de CXO's. Outro fato é que as características do sinal de referência influirão nas características do sinal sintetizado. Quanto melhores as características do sinal de referência melhor será o resultado no sinal sintetizado. Isto justifica o uso de um oscilador a cristal como referência, uma ótima referência para ruído de fase e estabilidade em frequência.

Existe um teste comum para se verificar o funcionamento do comparador de fase. É fácil de ser realizado e capaz de identificar com rapidez se o comparador de fase está funcionando da forma esperada. Consta em se colocar um sinal de frequência fixa como referência em uma das entradas do comparador e um gerador de sinais na outra entrada. Ao variar o sinal do gerador, considerando o comparador de fase em perfeito estado, o mesmo deve apresentar em sua saída um nível de tensão determinado, a tensão de alimentação

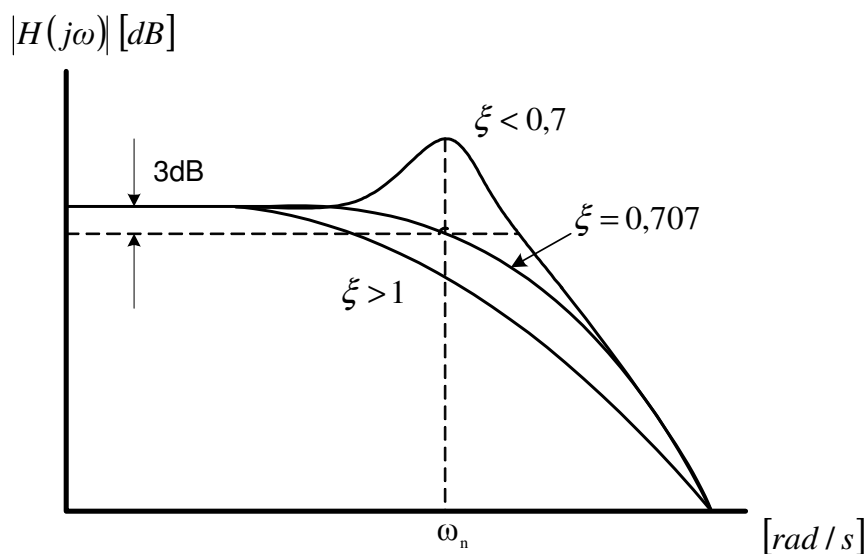
(Vcc) ou a tensão nula (GND). Este nível de tensão vai depender se o sinal gerado está com um valor maior ou menor de frequência que o sinal de referência e em qual porta cada sinal de teste está ligado. Sem a preocupação de qual sinal está com maior valor de frequência e em qual porta cada sinal está aplicado, o comparador de fase demonstrará o seu comportamento adequado se, e somente se, o mesmo inverter o nível de tensão de sua saída (de Vcc para GND ou vice-versa) quando o sinal gerado passar pelo valor do sinal de referência, em qualquer dos dois sentidos.

### 3.2.6 – Filtro de malha

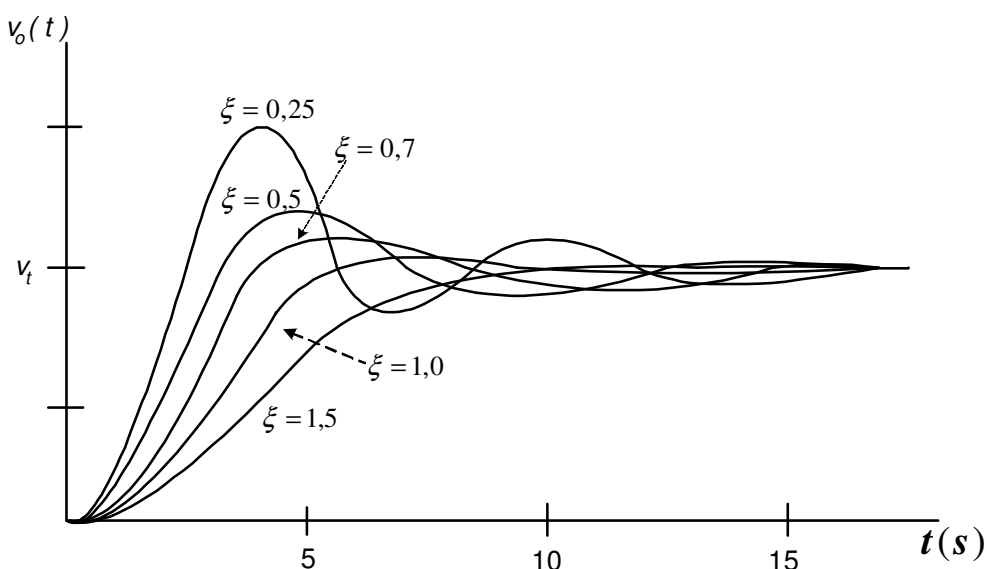
O filtro de malha é o circuito que mais demanda atenção no projeto de um PLL. É o único que permite alterar todas as principais características do PLL como o travamento na frequência desejada, o ruído de fase do sinal sintetizado, a rapidez de ação do laço de realimentação e a rejeição a ruídos e interferências internas e externas. O cálculo do filtro de malha é baseado em (2.24) e (2.25). Através da montagem do filtro de malha e do teste do PLL, verificou-se que a variação dos parâmetros  $\omega_n$  e  $\xi$  traz como resultado o aparecimento de vários fenômenos que podem prejudicar ou beneficiar o sinal sintetizado, o que é relativo à aplicação do PLL. O ajuste do filtro de malha não é uma tarefa muito fácil. Normalmente, as principais características de um PLL estão interdependentes, o que pode significar que a melhoria de um fator pode acarretar na degradação de outro [5]. Como o foco deste trabalho é utilizar o PLL como um oscilador local (LO), as variáveis  $\omega_n$  e  $\xi$  foram alteradas para que as características de ruído de fase, estabilidade de frequência e pureza espectral fossem os principais focos de melhoria. A variável  $\omega_n$  está associada à largura de faixa do filtro passa-baixas e  $\xi$  está associada com a rapidez e com o amortecimento com que a frequência se comporta. As Figuras 3.13 e 3.14 exemplificam a atuação das variáveis  $\omega_n$  e  $\xi$ .

A relação que existe entre a largura de faixa do filtro e a rapidez de atuação do sistema é importante no ajuste do filtro do PLL. Quanto menor a largura de faixa do filtro, mais lenta será a atuação do sistema na variável controlada e quanto maior for a largura de faixa do filtro mais rápida será a atuação do sistema [12][13]. Esta relação se deve principalmente pelo fato das alterações na largura de faixa do filtro estarem vinculadas à constante de tempo RC do filtro de malha. Este valor influencia a rapidez de atuação do sistema, torna o sistema mais lento ou mais rápido. A escolha deste fator é responsável por

definir a aplicação do PLL. Um PLL rápido é essencial em um circuito demodulador de FM. Em um circuito atenuador de modulações parasitas de fase (*jitter*) é necessário que a atuação do filtro seja lenta para o circuito não acompanhar as variações indesejadas do sinal original. A especificação da largura de faixa do filtro também está relacionada com as características do sistema como o ruído de fase e o vazamento da referência [12]. São conhecidos como vazamentos da referência os espúrios que aparecem em torno do sinal sintetizado com um espaçamento de mais e menos o valor da frequência de referência. Figura 3.16.



**Figura 3.13** – Gráfico que mostra a curva de resposta do filtro de malha variando o seu formato de acordo com as variáveis  $\xi$  e  $\omega_n$ .

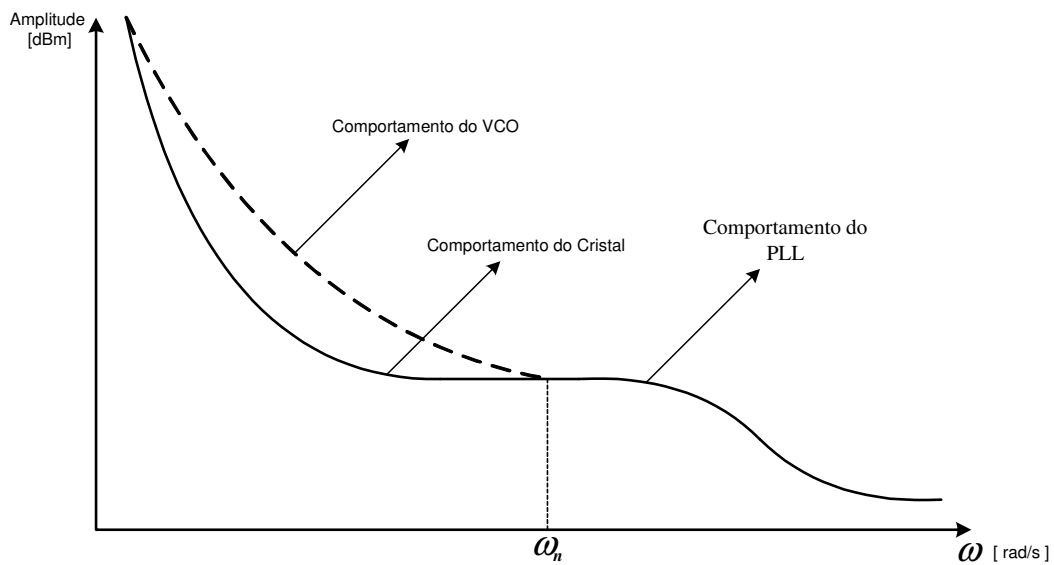


**Figura 3.14** – Gráfico que mostra o comportamento da tensão na saída do filtro de malha em função do tempo e da variável  $\xi$ .

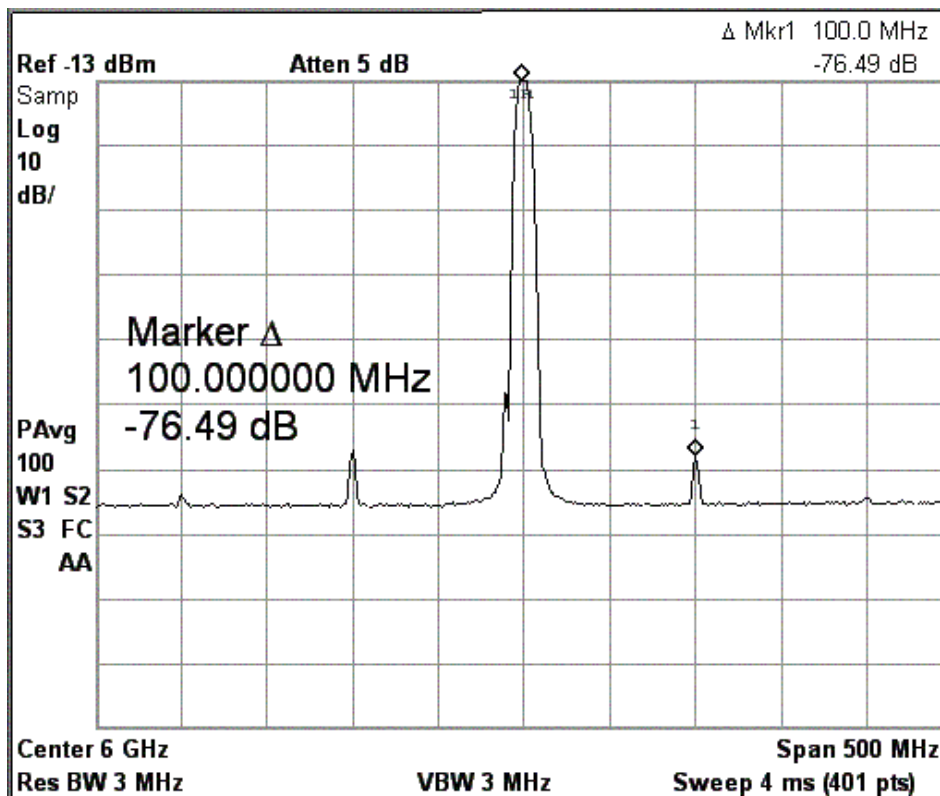
Outra característica importante do PLL que interfere no projeto é o fato da frequência sintetizada acompanhar as características de ruído de fase, o formato das saias laterais da portadora Figura 3.15 e Figura 3.18, do sinal de referência (CXO) ou do sinal da malha de realimentação (VCO), de acordo com as especificações do filtro de malha, principalmente a frequência de corte do filtro ( $\omega_n$ ). Para deslocamentos de frequência menores do que a frequência de corte do filtro, o ruído de fase do sinal de saída acompanha as características do ruído de fase do sinal de referência (CXO). Para deslocamentos maiores, o sinal sintetizado acompanha as características de ruído de fase do sinal da malha de realimentação (VCO), observado na Figura 3.15 [1][5]. Desta forma, a verificação das características do ruído de fase do VCO e do cristal de referência para deslocamentos de 10, 20, 50 e 100kHz, em relação ao centro da portadora, são de grande importância para o projeto. O comportamento do ruído de fase final do sistema e a definição da largura de faixa do filtro de malha dependem destas características. A definição da largura de faixa do filtro e as características do CXO e do VCO limitarão os valores mínimos de ruído de fase permitidos pelo sistema, um dos alvos do projeto.

Para o PLL apresentar um bom desempenho como oscilador local, decidiu-se que o seu filtro de malha fosse calculado e montado com uma largura de faixa mínima de 20kHz. Este fato proporcionou ótima característica de ruído de fase e vazamento da referência [12]. O vazamento da referência é um fenômeno originado no comparador de fase onde o sinal de tensão contínua que irá excitar o VCO é modulado por um sinal de frequência igual a da referência, resultante da sua ação de comparação [6][12]. Baseado nisso, quanto maior for a filtragem do sinal vindo do comparador de fase menor será a banda de ruído entregue ao VCO e menor o acoplamento do vazamento da referência. Para que o vazamento da referência, (Figura 3.16), assumisse valores insignificantes, foi necessária a inserção de uma pré-filtragem na entrada do filtro passa-baixas [5]. O processo de pré-filtragem é feito com a inserção de um capacitor ( $C_c$ ) entre os resistores  $R_1/2$  e  $R_1/2$ , mostrados na Figura 3.17. A inserção deste novo circuito é responsável pelo aparecimento de um novo pólo no sistema, o que melhora a filtragem da tensão entregue ao VCO, minimizando o problema do vazamento da referência. O cálculo do valor de  $C_c$  é baseado na fórmula da frequência angular de corte de um filtro RC simples,  $\omega_c = 1/RC$ , onde os números 4 e 100 da fórmula foram obtidos experimentalmente visando não influenciar os parâmetros  $\omega_n$  e  $\xi$  previamente calculados [12].

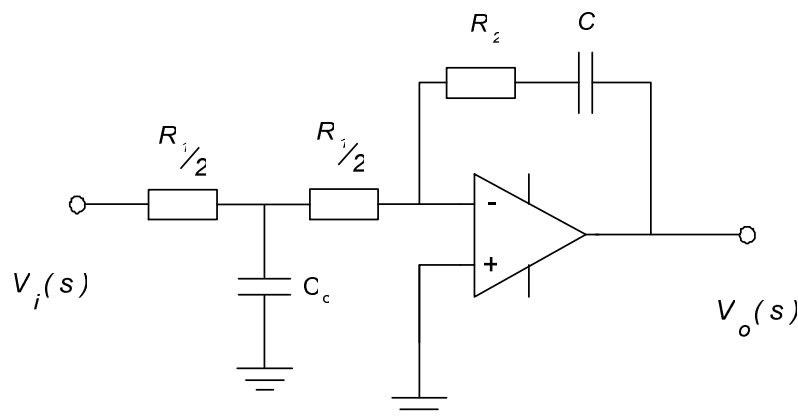
$$C_c = \frac{4}{100 \cdot R_1 \cdot \omega_n} \quad (3.2)$$



**Figura 3.15** – Gráfico que demonstra o comportamento do ruído de fase final do sistema variando de acordo com as características da referência e do VCO, de acordo com a variação de  $\omega_n$ .



**Figura 3.16** – Espúrios gerados pelo vazamento do sinal de referência. O vazamento da referência está modulando o sinal sintetizado.



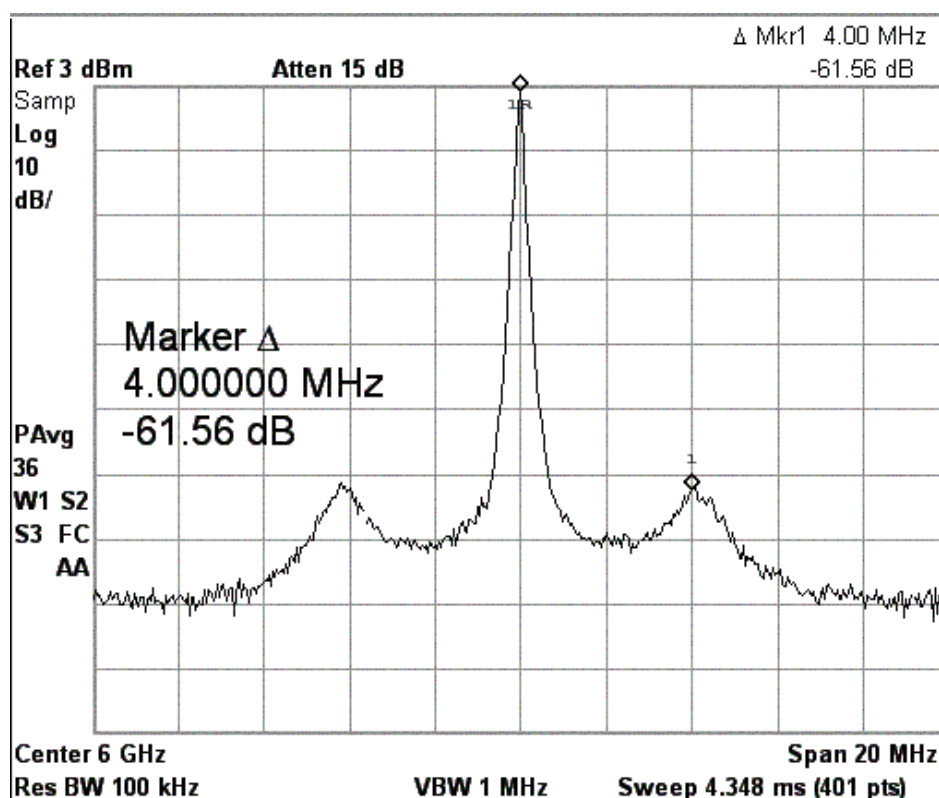
**Figura 3.17** – Filtro de malha completo. Neste filtro tem-se a presença do bloco de pré-filtragem que atua diretamente no vazamento do sinal de referência.

Como este PLL está sendo utilizado como um oscilador local, as três características mais importantes a serem observadas são o ruído de fase, a estabilidade de frequência e a pureza espectral do sinal sintetizado. A estabilidade de frequência normalmente está associada à taxa de variação da frequência do sinal de referência, decorrente de variações na temperatura de trabalho e envelhecimento do componente. Como o sinal sintetizado está travado ao sinal de referência, deslocando-se a referência, o sinal sintetizado também se desloca proporcionalmente. A pureza espectral do sinal sintetizado está relacionada com as características do filtro de malha, com a isolação entre os estágios do sistema e a isolação do sistema a ruídos externos. O ruído de fase está associado a diferentes fatores do projeto. Uma largura de faixa mínima do filtro é ótima ferramenta na melhoria do ruído de fase. Outra maneira é aumentar o amortecimento do sistema, fazendo, fazer  $\xi \geq 5$ . Esta ação provoca um efeito no ruído de fase semelhante à diminuição de  $\omega_n$ . Outro detalhe é que quando o resistor  $R_1$  é diminuído, reduz-se o ruído térmico na entrada do filtro e o ruído de fase do sistema também melhora [5]. A parte mais complexa e demorada do projeto de um oscilador local utilizando PLL é a escolha dos componentes ideais para o filtro de malha. Devem ser selecionados para o sistema oferecer estabilidade de frequência, vazamento da referência reduzido, pureza espectral, situação de travamento estável e pequeno ruído de fase.

Durante os testes, os componentes do filtro foram exaustivamente modificados, visando melhorar o desempenho do sistema. Estas modificações foram realizadas com o cuidado para que não houvesse uma degradação nas outras características. Comparando o

ruído de fase medido nos primeiros ensaios com o medido no circuito na sua versão final, verifica-se 22dB de variação para um deslocamento de 10kHz da portadora e 34dB para um deslocamento de 100kHz da portadora. Estes dois padrões de medida foram muito utilizados para a avaliação do circuito.

No início dos experimentos da placa de teste completa, o PLL apresentou um ruído de fase de 72dBc@10kHz e 74dBc@100kHz. Estas medidas iniciais mostram um efeito muito comum em PLL, o aparecimento de uma saia lateral junto à portadora, visualizado na Figura 3.18 [16]. Quando o PLL entra em travamento, observando o sinal da saída, pode-se notar o aparecimento de uma elevada saia lateral junto à portadora, resultado do comportamento do comparador de fase associado ao filtro de malha. Este efeito pode ser minimizado através do ajuste dos componentes do filtro.

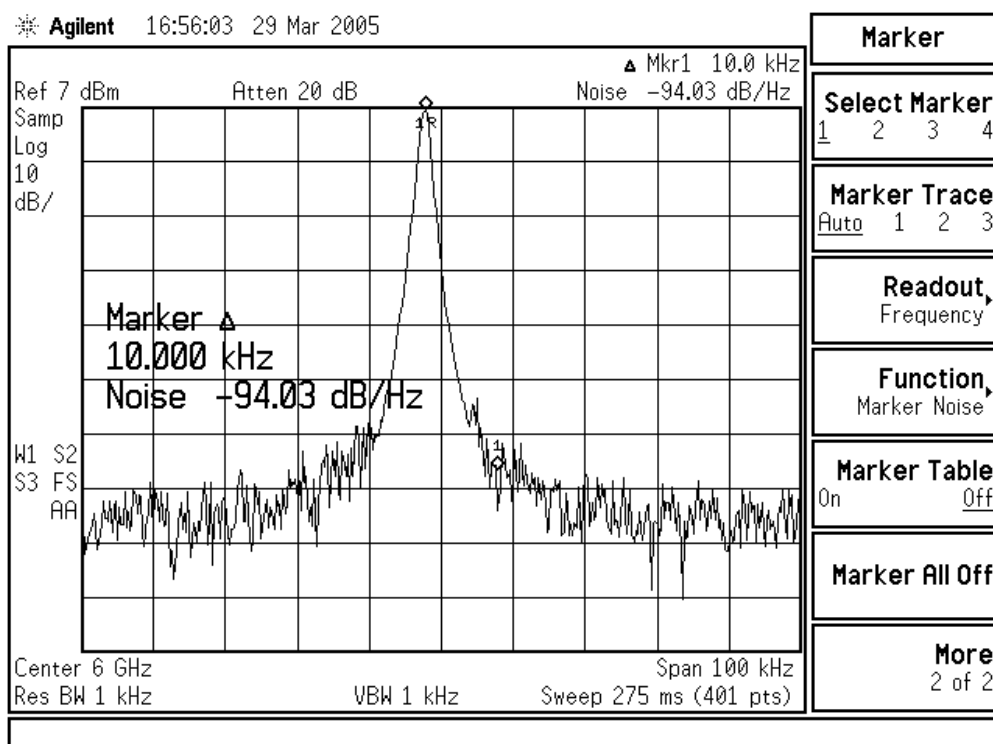


**Figura 3.18** – Efeito derivado de uma combinação não adequada de valores dos componentes do filtro de malha. Efeito conhecido na prática como bigode do sinal sintetizado.

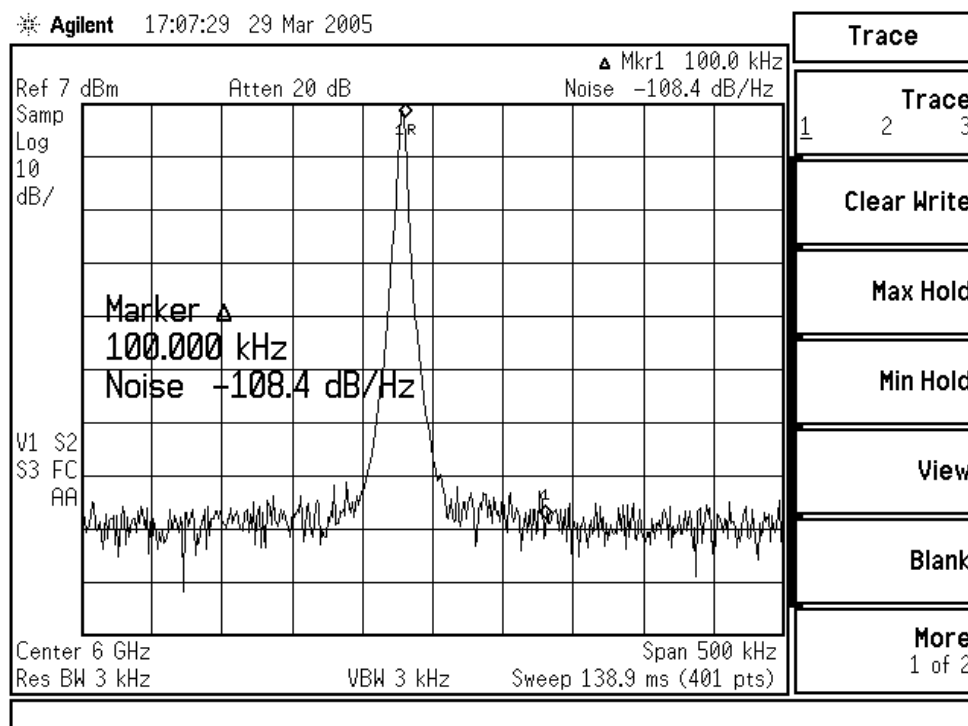
Um fator essencial para a melhoria do ruído de fase foi a mudança do amplificador operacional LM358 (de uso geral) para o LMH6624 (de ultra-baixo ruído)[24][25]. Proporcionou uma redução significativa no ruído gerado pelo filtro de malha, que teve efeito direto no ruído de fase final. Superados os problemas de regulagem e filtragem das tensões de alimentação, escolheram-se os componentes com baixo ruído e obteveram-se os



componentes do filtro de malha, resultando em um sinal de saída na sua melhor condição de  $94\text{dBc}@10\text{kHz}$  e  $108\text{dBc}@100\text{kHz}$ , (Figuras 3.19 e 3.20).



**Figura 3.19** – Medida do ruído de fase do sinal sintetizado executada com um passo de 10 kHz da portadora.



**Figura 3.20** – Medida do ruído de fase do sinal sintetizado executada com um passo de 100 kHz da portadora.

### 3.2.6.1 – Procedimento para a medida do Ruído de fase

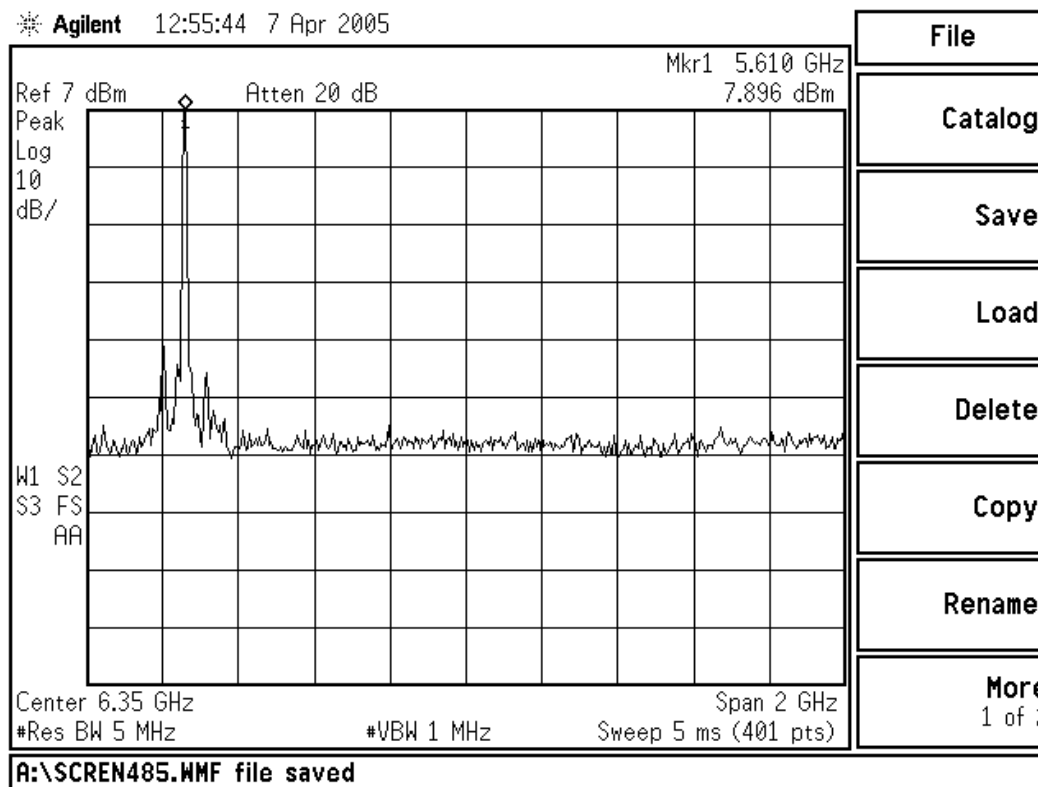
Existem vários equipamentos que realizam a medida do ruído de fase de uma portadora, porém o mais conhecido e utilizado para este fim é o analisador de espectro. Os mais recentes possuem uma função específica para a medida de ruído de fase. Para executar a medida do ruído de fase do sinal desejado, usando o analisador de espectro da Agilent Technologies modelo E4402B, deve-se primeiramente centralizar o sinal na tela do equipamento e configurar a função *SPAN* para 100kHz. A função *SPAN* é responsável por ajustar qual será a faixa de frequência, em torno da portadora, que será visualizada na tela do equipamento. Logo após, coloca-se uma marca do analisador de espectro no pico da portadora, outra marca deslocada de 10kHz do pico, e então mede-se o ruído de fase do sinal através da função denominada *Marker Noise*. Para espectros que não possuem esta facilidade, um valor aproximado do ruído de fase é calculado através da medição da diferença das amplitudes das duas marcas (em dB), somada ao valor do logaritmo na base dez da largura de faixa do filtro de vídeo configurado no analisador de espectro (função VBW). De posse desta medida, pode-se ter um bom indicador da qualidade do sinal analisado. Visualiza-se melhor esta operação a partir da Figura 3.19.

### 3.2.7 – Dificuldades no ajuste do PLL

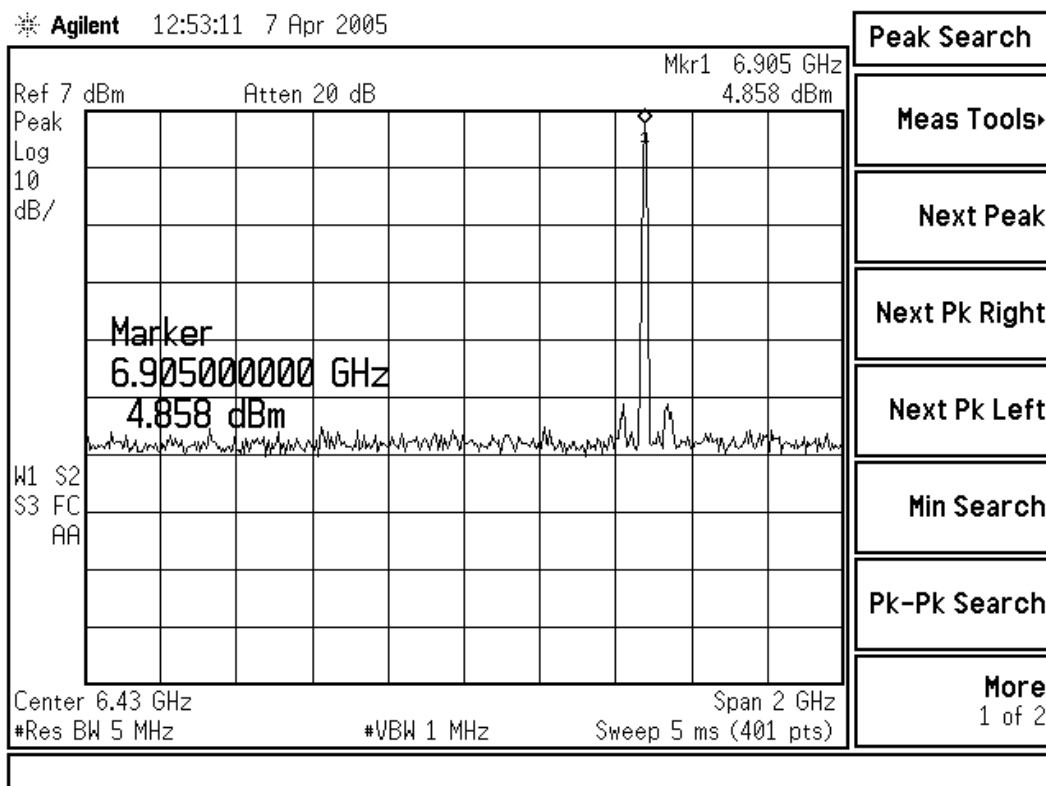
Um sintetizador de frequência projetado para oscilador local de referência deve possuir algumas características que evidenciem o seu máximo aproveitamento. O ruído de fase, a pureza espectral e a estabilidade de frequência devem, sempre que possível, ser projetadas e ajustadas, considerando uma relação de compromisso entre elas, para que os seus valores fiquem exatos ou próximos dos calculados. Outra característica relevante neste projeto, muitas vezes ignorada, é a necessidade de ter-se uma isolação das fontes de ruído externas. Um bom exemplo são os ruídos gerados por impactos mecânicos. Na prática, o circuito oscilador sujeito a impactos mecânicos não deve permitir que o nível da portadora de sua saída diminua de forma significativa e que o circuito oscilador saia da situação de travamento. Para este exemplo, a robustez do circuito eletrônico será determinada com cuidados eletrônicos e mecânicos, melhor ajuste do circuito e possível amortecimento dos blocos mais sensíveis à mudança de suas características, como o VCO.

Quando o PLL é montado e ligado, poderá apresentar três situações distintas. A primeira é a de não travamento da frequência sintetizada na posição desejada, a segunda é a de um semi-travamento somado com uma instabilidade na frequência sintetizada e a terceira é a do travamento da frequência sintetizada na posição desejada. Na primeira, este fato pode ser facilmente visualizado. O comparador de fase quando não estiver operando na condição de travamento, faz o VCO a levar a frequência de sua saída para o valor mínimo ou máximo da sua faixa de trabalho, tornando evidente esta condição nas Figuras 3.21 e 3.22.

A segunda situação acontece quando a saída do PLL parece estar travada, quando analisada com um analisador de espectro configurado com um elevado valor de *SPAN*. Um exemplo seria um espectro configurado com o *SPAN* de 20GHz. Somente quando o *SPAN* do espectro é diminuído para a casa dos megahertz a instabilidade pode ser visualizada. O PLL, na verdade, não consegue sintonizar em uma única frequência e fica varrendo uma série de frequências dentro de uma faixa centrada na frequência desejada. De forma quase que simultânea, provoca na saída do PLL o aparecimento de várias raias sobrepostas com amplitudes diferentes e variáveis no tempo. Este fenômeno pode ser visto na Figura 3.23.

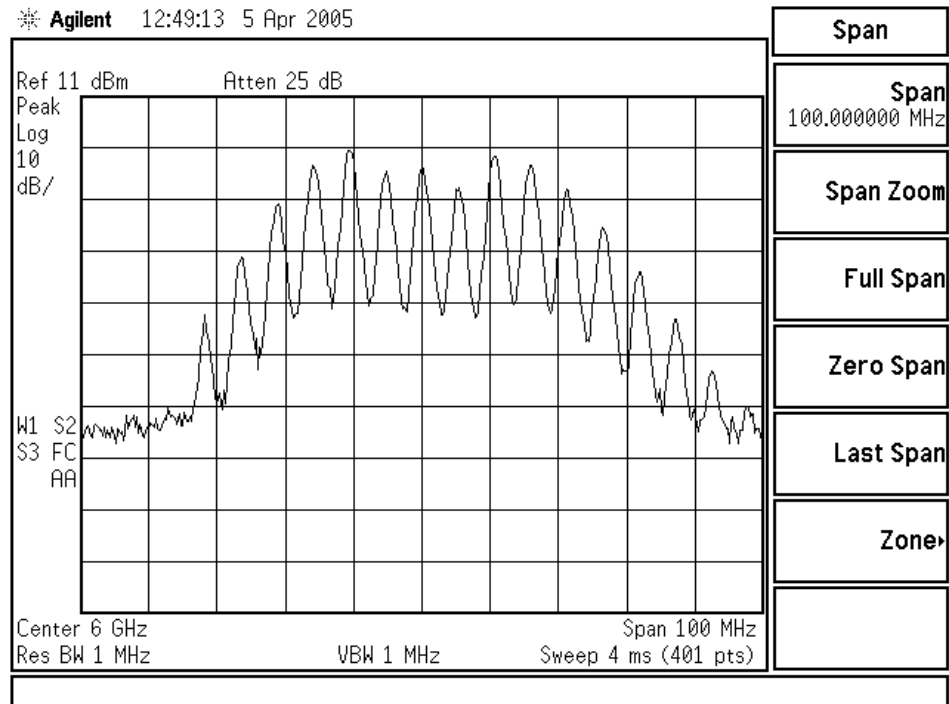


**Figura 3.21** – O PLL está gerando a sua menor frequência possível, sem que ocorra o travamento da frequência, devido o filtro de malha e o comparador de fase fornecerem uma tensão contínua mínima e instável ao VCO.



**Figura 3.22** – Caso similar ao anterior, porém com a diferença do comparador de fase e o filtro de malha agora estarem entregando uma tensão contínua máxima e instável ao VCO.

Na terceira situação, a frequência sintetizada pode ser medida com o analisador de espectro configurado com pequenos valores de *SPAN*. Mesmo assim, tem-se apenas o aparecimento de uma raia centrada na frequência desejada na tela do instrumento, (Figura 3.19). Este é o caso desejado, porém na prática dificilmente um PLL entra nesta condição quando ligado pela primeira vez, a menos que tenha sido feito um projeto muito refinado do seu filtro de malha e da interligação dos diferentes circuitos do PLL. Portanto, a maneira indicada de se iniciar o ajuste de um novo projeto de PLL é usar as fórmulas matemáticas a partir do filtro de malha e, baseado nos valores das variáveis de entrada  $\xi$  e  $\omega_n$ , ajustar o seu sistema de acordo com a sua aplicação.



**Figura 3.23** – Sinal visualizado na tela do analisador de espectro quando o sistema se encontra no estado de semi-travamento. Esta é uma evidência que o PLL está próximo do seu estado de travamento.

## Capítulo IV

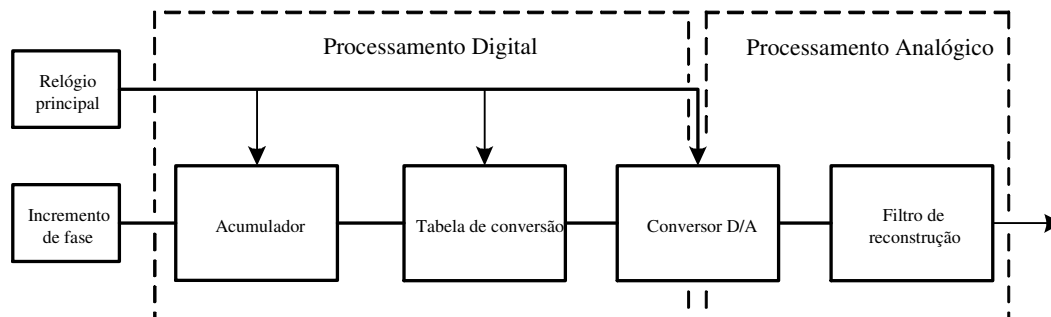
# Fundamentos da síntese digital direta

### 4.1 – Introdução

A síntese digital direta (DDS) é fundamentada a partir do teorema da amostragem e do critério de Nyquist [26]. Seu diagrama em blocos simplificado está na Figura 4.1. O teorema da amostragem desenvolvido por Shannon define que qualquer sinal estocástico, com energia finita e largura de faixa limitada, pode ser representado por suas amostras discretas no domínio do tempo [27]. Neste processo são geradas outras frequências chamadas de réplicas. A partir do sinal amostrado pode-se recuperar totalmente o sinal original através de um processo adequado de reconstrução [28].

O critério de Nyquist afirma que um sinal de frequência  $f_1$  amostrado no domínio do tempo só pode ser recuperado sem nenhuma deformação se a frequência de amostragem ( $f_a$ ) for maior ou igual a duas vezes o valor da máxima frequência do sinal amostrado ( $f_a \geq 2 f_{máx}$ ). Com isto, fica estabelecido que a estrutura DDS terá a sua faixa de frequência de saída limitada teoricamente em no máximo 50% da frequência do sinal de amostragem utilizado, chamado de relógio principal, pois para frequências sintetizadas maiores que duas vezes a frequência da amostragem ocorrerá a sobreposição da frequência imagem (réplica) na frequência sintetizada, fenômeno conhecido como *aliasing*, que impedirá a recuperação do sinal original. Com essas informações e pelo fato de a forma de onda senoidal ser um sinal determinístico, a síntese de frequência utilizada na estrutura DDS é feita por meio de processamentos digitais e analógicos das amostras de uma onda

senoidal, gerada a partir uma ferramenta computacional. Neste trabalho, a ferramenta utilizada foi a plataforma Matlab®.

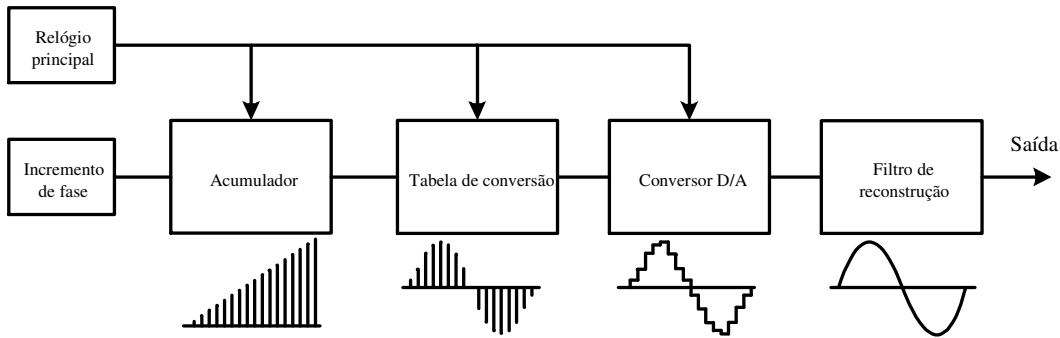


**Figura 4.1** – Diagrama em blocos detalhado da estrutura DDS. As delimitações pontilhadas especificam quais são os blocos da estrutura DDS que realizam processamento dos dados na forma digital e quais realizam o processamento na forma analógica.

Com o Matlab® é possível gerar as amostras contidas em um período completo de uma forma de onda senoidal com frequência, fase e amplitude determinadas, desde que o número de amostras calculadas seja finito. Essas amostras serão suficientes para o funcionamento da estrutura DDS, como será demonstrado. As amostras geradas pelo Matlab® são guardadas em um bloco de armazenamento de dados denominado *tabela de conversão* (identificada pela sigla LUT, de *Look-up-Table*). Para se obter o sinal sintetizado a partir das amostras armazenadas na LUT é necessário um dispositivo que execute a extração ordenada dos dados. Outro dispositivo converte cada amostra armazenada em formato digital em seu valor discreto correspondente de amplitude, na forma analógica, um terceiro dispositivo reconstrói o sinal entregue pelo conversor D/A.

## 4.2 - Descrição Geral

Na Figura 4.2 apresenta-se o diagrama em blocos do sistema empregado para a síntese digital direta. O sistema é formado por quatro blocos distintos: o acumulador de fase, a tabela de conversão, o conversor digital/analógico e o filtro de reconstrução [29]. Cada bloco será comentado separadamente.



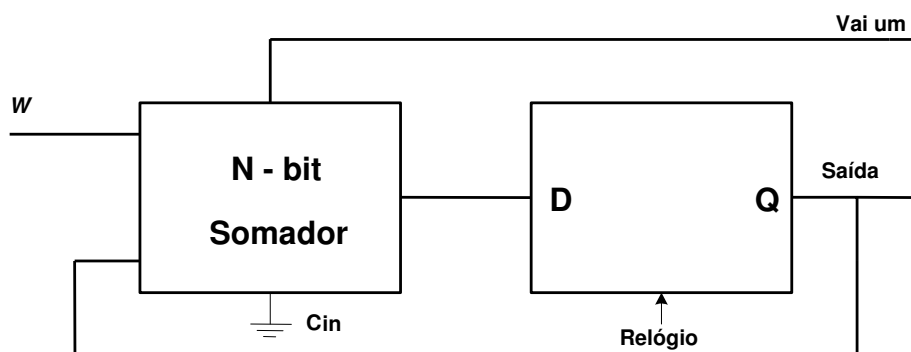
**Figura 4.2** – Diagrama em blocos da estrutura DDS completa. Em baixo de cada bloco tem-se o formato equivalente do sinal encontrado em suas saídas.

### 4.2.1 - Acumulador de fase

O acumulador de fase é responsável por gerar um sinal de varredura que endereçará à memória (LUT). Nessa parte do sistema, estão armazenadas as amostras de uma onda senoidal geradas a partir de um programa de computador. O acumulador de fase é constituído por um integrador digital, representado por um contador com incremento de fase variável. A função matemática que define a atuação do acumulador de fase é

$$S(n) = S(n-1) + W \quad (4.1)$$

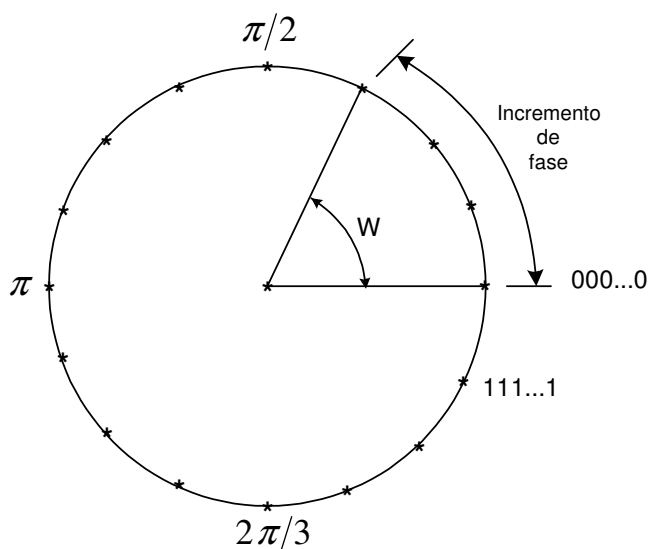
onde  $S(n)$  e  $W$  são palavras de  $N$  bits e  $W$  é a palavra de controle [1]. A Figura 4.3 mostra sua implementação.



**Figura 4.3** – Circuito que representa a célula mínima de um acumulador de fase. Teoricamente, uma célula somadora pode realizar a função de acumulação de um circuito integrador digital, pois na sua saída sempre se tem a integração de todos os valores digitais dispostos em sua entrada.



A palavra de controle  $W$  é o incremento de fase escolhido para determinar a frequência do sinal de saída sintetizado. O acumulador de fase pode ser construído a partir de somadores e registradores, como se mostra na Figura 4.3. O registrador armazena a resposta do somador e o estado de sua saída sofrerá mudança somente quando for excitado por um sinal vindo do relógio principal. A relação entre os valores de amplitude de uma onda senoidal e os seus respectivos valores de fase pode ser representada através de um *círculo de fase* [30]. (Figura 4.4).



**Figura 4.4** – O círculo de fase traz a relação entre os valores de fase e seus correspondentes valores de amplitude em uma senoide. Pode ser percorrido totalmente com um número maior ou menor de passos, dependendo somente do valor de  $W$  escolhido.

A Figura 4.4 mostra o motivo pelo qual a palavra  $W$  é chamada de incremento de fase. Quanto maior for o número de bits  $N$  do acumulador, em mais partes o círculo de fase será dividido e maior será o número de informações do seno amostrado. Da mesma forma, quanto maior for o número de bits  $N$ , maior será o número de bits da palavra  $W$  e maior será a faixa dinâmica de possibilidades de se excursionar o círculo de fase. É relevante explicar como é possível variar a frequência, a precisão e a resolução do sinal da saída através da manipulação da quantidade de bits do acumulador e do valor da palavra de controle  $W$ . Para uma *LUT* com o mesmo arquivo de amostras gravado, a palavra de controle  $W$  determinará quantos pulsos de relógio serão necessários para o acumulador de fase varrer todos os endereços da *LUT*.

Seja  $(2^N)T$  o tempo necessário para se ler todos os endereços da memória (LUT). Então  $(2^N)T/W$  é o tempo necessário para se ler alguns endereços específicos, determinados pelo incremento de endereço  $W$ . Se analisado com cuidado este tempo pode ser interpretado como o período do sinal sintetizado de saída [1][28]. Sendo  $T$  o período do relógio principal, como se ilustra na Figura 4.5, tem-se:

$$F_s = \frac{W}{T \cdot (2^N)} = \frac{W \cdot F_{ref}}{2^N} \quad (4.2)$$

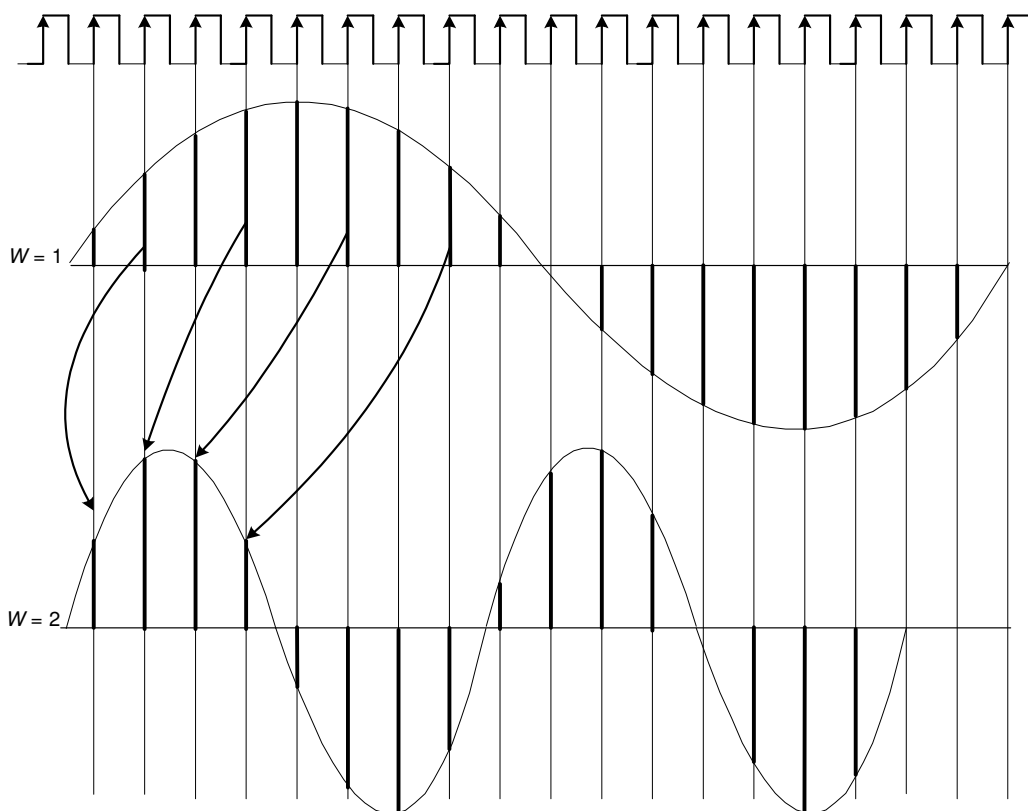
Através da Figura 4.4 e de (4.2) pode-se perceber a relação entre o número de bits do acumulador de fase, a precisão e a resolução do sinal sintetizado [31]. O número de bits  $N$  do acumulador de fase será o responsável por definir a máxima precisão e a resolução do sinal sintetizado da saída que será determinada por

$$F_{resolução} = \frac{F_{referência}}{2^N} \quad (4.3)$$

De acordo com descrições anteriores, o acumulador de fase será responsável por endereçar a leitura da tabela de conversão. Dentro dela estarão armazenados todos os dados referentes a um período da onda senoidal gerada e amostrada com o Matlab<sup>®</sup>. Quanto maior for o número de bits do acumulador de fase, maior será a quantidade de dados armazenados na LUT. Observando a Figura 4.4 e entendendo que na LUT estarão armazenadas somente as amostras referentes ao conteúdo de um ciclo de fase completo ( $2\pi$ ), fica evidente que dependendo do incremento de fase escolhido serão lidos mais ou menos endereços da LUT, com um tempo maior ou menor. Este tempo é proporcional ao incremento de fase  $W$ , visto em (4.3). É importante destacar que o sinal de relógio que determina a frequência da leitura da LUT é fixo e a única variável do sistema fica sendo o incremento de fase  $W$ . Na Figura 4.5 mostra-se um exemplo de dois sinais sintetizados, um programado para  $W = 1$  e outro programado para  $W = 2$ .

No primeiro caso, como o incremento de fase é unitário, o acumulador de fase varrerá todos os possíveis endereços da LUT, gerando a menor frequência sintetizada possível. Tem-se o maior tempo de leitura da LUT e, conseqüentemente, o maior período possível para uma senóide sintetizada pela estrutura DDS. No segundo caso o incremento de fase escolhido foi  $W = 2$ . O acumulador de fase varrerá somente os endereços pares da

LUT e o período da senóide sintetizada será a metade do período da senóide do exemplo anterior. Isto acontece por que o acumulador de fase do segundo exemplo passará pela metade dos endereços do primeiro exemplo para varrer o mesmo ciclo de fase completo da senóide original gerada pelo Matlab<sup>®</sup>. Na Figura 4.5, a primeira amostra do sinal do segundo exemplo é equivalente à segunda amostra do primeiro exemplo, a segunda amostra do segundo exemplo é equivalente à quarta amostra do primeiro exemplo e assim sucessivamente. Fica claro o controle da frequência do sinal sintetizado através do controle do incremento de fase do acumulador [32]. Um fato que deve ser lembrado é que a estrutura DDS é sincronizada por um sinal de relógio fixo e igual para todos os blocos: acumulador de fase, LUT e conversor D/A.



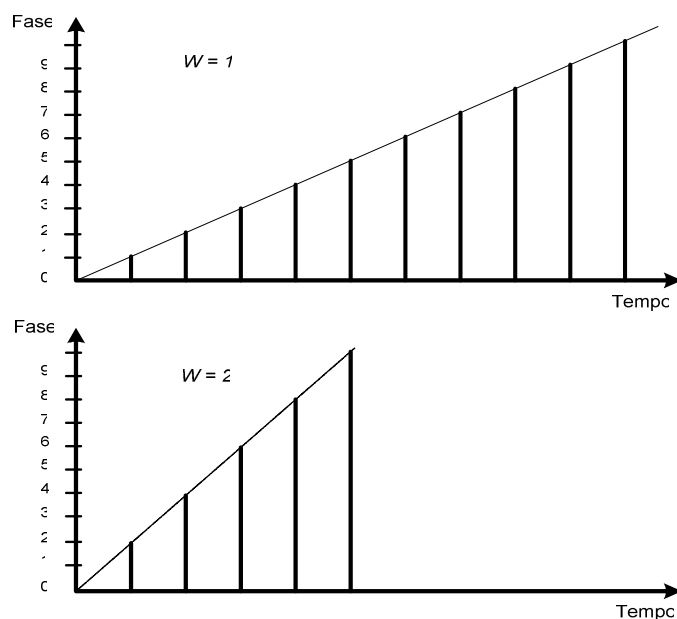
**Figura 4.5** – Exemplo de um DDS funcionando com duas palavras  $W$  diferentes, com um mesmo sinal de relógio. Para  $W = 1$  tem-se uma senóide sintetizada com um período  $T$ , e para  $W = 2$ , a senóide sintetizada apresenta um período  $T'$  menor do que o encontrado na primeira senóide.

Uma fórmula que também pode ajudar no entendimento do conceito da variação da frequência do sinal sintetizado de saída, mudando-se apenas o incremento de fase  $W$  do DDS é

$$\omega = \frac{d\phi}{dt} \quad (4.4)$$

sendo  $\omega$  a frequência angular e  $\phi$  a fase do sinal. A frequência do sinal sintetizado está relacionada com a taxa de variação da sua fase no tempo. Na estrutura DDS, nota-se que pela variação do incremento de fase  $W$  é possível modificar a variação na fase e na frequência do sinal sintetizado (Figura 4.6) [33]. Quanto maior o valor de  $W$  maior será a inclinação da variação da fase, maior será o resultado da derivada da fase em relação ao tempo e maior o valor da frequência sintetizada, confirmando relação de compromisso de (4.3) e (4.4) [2]. Um fator que deve ser considerado é a geração da modulação parasita de fase (*jitter*) correspondente à palavra de controle  $W$  escolhida. Este fato acontece devido ao comportamento do acumulador de fase. Realizando alguns testes, foi possível notar que existem alguns valores para a palavra de controle  $W$  que são divisores exatos de  $2^N$ . Para estes, o sinal de saída do acumulador de fase apresenta um comportamento perfeitamente periódico. Para os outros valores que a palavra  $W$  assume, não divisores exatos de  $2^N$ , nota-se uma quebra na periodicidade do sinal de sua saída e o aparecimento de um *jitter* indesejado [1]. Considerando uma memória com  $N = 4$  bits de endereçamento, onde  $2^N = 16$ , tem-se:

$$\begin{aligned} W = 2 &\rightarrow 0\ 2\ 4\ 6\ 8\ A\ C\ E\ 0\ 2\ 4\ 6\ 8\ A\ C\ E\ 0\ \dots \\ W = 6 &\rightarrow 0\ 6\ C\ 2\ 8\ E\ 4\ A\ 0\ 6\ C\ 2\ 8\ E\ 4\ A\ 0\ \dots \end{aligned} \quad (4.5)$$



**Figura 4.6** – Nota-se relação entre o incremento da fase e a taxa de variação da fase. Quanto maior for o incremento de fase maior será a inclinação da reta de fase e conseqüentemente maior será o valor da derivada da reta de fase.

O acumulador de fase atualiza sua saída após a mudança de estado do relógio. Quando a entrada de controle  $W$  não for um divisor inteiro de  $2^N$ , tem-se a geração de um erro no sinal de saída devido à variação da quantidade de amostras solicitadas a  $LUT$ . No exemplo acima, nota-se que para  $W = 2$ , divisor inteiro de  $2^N$ , o sinal na saída do acumulador de fase será periódico. Porém, para  $W = 6$ , número não múltiplo de  $2^N$ , o sinal de saída gerado é um sinal pseudo-periódico. Ele possui uma quebra de periodicidade que origina a formação do *jitter*. Para este caso haverá variação do período de leitura da memória durante a geração do sinal, como mostra a Figura 4.7 [32]. Com o valor de  $W = 2$ , tem-se um ciclo periódico de oito leituras de endereço da  $LUT$  a cada varredura de toda a memória. Para  $W = 6$  observam-se dois ciclos de leitura da memória, um ciclo com três leituras e um outro com duas leituras, o que gera um *jitter* no sinal de saída [1][32]. Observa-se certa periodicidade do erro inserido no sinal da saída e esta pode ser calculada através de:

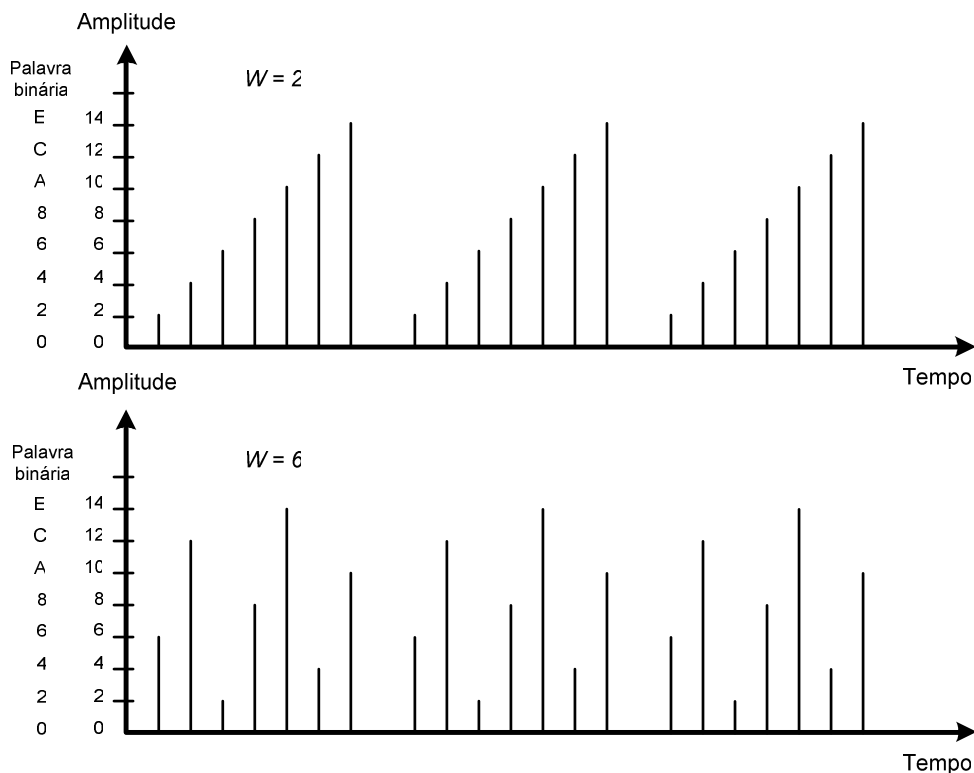
$$P_e = T \cdot mdc(W, 2^N) \quad (4.6)$$

sendo  $P_e$  a periodicidade do erro e  $mdc$  o máximo divisor comum. Para os casos onde o  $mdc(W, 2^N) = 2^N$ , não se observa erro gerado na saída. Caso contrário, o erro estará presente com uma periodicidade fixa. O exemplo anterior pode ser útil neste caso

$$P_e = T \cdot mdc(6, 16) = 48. \quad T = 48/16 = 3 \text{ ciclos}$$

que indica que a quebra na periodicidade da leitura da memória acontecerá a cada três ciclos completos de leitura, como pode ser visto em (4.5).

Como o erro gerado é periódico no domínio do tempo, existirá um erro também periódico gerado no domínio da frequência. Este erro será na forma de sinais espúrios presentes no espectro do sinal sintetizado de saída. A periodicidade do erro pode ser calculada por (4.6). Através de uma análise mais detalhada deste fenômeno, é possível afirmar também que o *jitter* gerado no sinal de saída será proporcional à relação  $W / 2^N$ . O *jitter* é um fator importante no momento da escolha dos incrementos de fase.



**Figura 4.7** – Mostra-se a relação entre o incremento da fase e o aparecimento do jitter. Dependendo do valor do  $W$  escolhido o acumulador de fase irá gerar em sua saída um sinal perfeitamente periódico ou não. Quanto menos periódico for o sinal maior será o jitter desenvolvido.

## 4. 2.2 – Tabela de conversão (LUT)

Dentro da estrutura DDS, a *LUT* tem por finalidade converter o dado entregue pelo acumulador de fase em seu valor correspondente de amplitude relativo à senoide. Esta transformação é realizada através de uma relação previamente estabelecida. Cada endereço da memória *LUT* é vinculado com um respectivo valor de amplitude equivalente armazenado, sendo todo o processamento feito no formato digital. A ordenação dos dados armazenados na *LUT* é feita de forma que com a leitura seqüencial dos seus endereços seja possível ter em sua saída os dados ordenados de uma senoide amostrada. Considerando que os dados de endereçamento do acumulador são a fase da onda senoidal sintetizada, a *LUT* terá por principal característica executar a transformação expressa por  $\text{senx}$  [33]. De posse do argumento  $\gamma$ , a *LUT* será capaz de fornecer o resultado da função seno de  $\gamma$ ,

$$\gamma \rightarrow \text{sen}\gamma \quad (4.7)$$

Qualquer dispositivo que consiga implementar esta função matemática com precisão pode ser utilizado como uma *LUT*. Como a função  $\text{senx}$  não é linear, torna-se

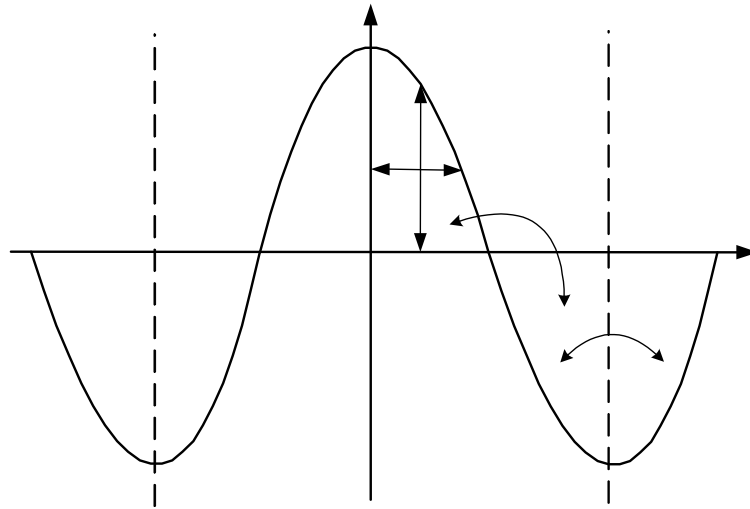
difícil sua implementação com componentes discretos. Dispositivos de armazenamento tornam-se a melhor alternativa para a implementação da *LUT* sem perda excessiva na precisão e regularidade da conversão necessária. A maioria dos projetos de DDS trabalha com memórias somente para leitura ROM (*Read Only Memory*). Um ponto chave na utilização de memórias para a função da *LUT* é o truncamento do número de bits tanto do endereçamento da memória quanto da resolução de cada amostra armazenada. O caso ideal de uma *LUT* implementada por uma ROM seria uma memória com dimensões tendendo ao infinito, como mostra a Figura 4.8.



**Figura 4.8** – Exemplo de uma memória ideal. Memória que possui infinitos bits de endereçamento e infinitos bits para representar os dados. Neste caso tem-se uma memória capaz de representar com perfeição uma senóide ideal.

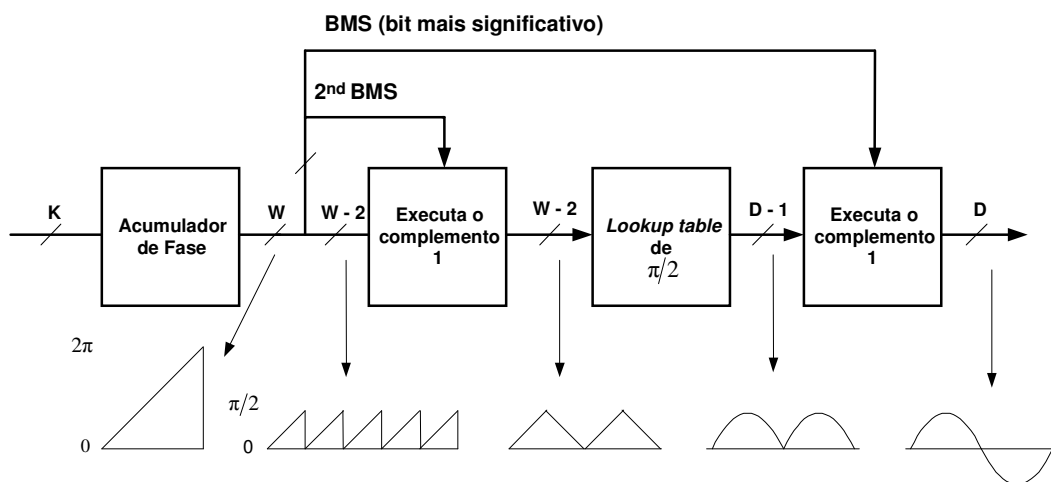
O sinal de saída poderia ter resolução e precisão máximas na frequência sintetizada e menor geração de espúrios devido ao ruído de quantização ser nulo para este bloco. Como este caso não é possível e nem viável, é necessário conviver e projetar este truncamento do número de bits da memória, para o desempenho da estrutura DDS não ser comprometido [32]. É interessante lembrar que o tamanho da memória está diretamente ligado às suas características de velocidade, consumo, tamanho e de preço, fatores importantes em um projeto. Visando otimizar o tamanho da memória ROM e minimizar os efeitos do truncamento do número de bits (ruído de quantização), foram implementados vários métodos de compressão da memória. Estes são capazes de diminuir o conteúdo da memória ROM sem que haja perdas na qualidade do sinal sintetizado [31]. Não é o foco deste estudo aprofundar e nem propor novo método de compressão da memória. Porém,

para este conceito ficar claro, será exposto o funcionamento do método mais simples de compressão, a compressão de quarto de onda.



**Figura 4.9** – Simetria de quarto de onda. Esta característica torna viável a compressão dos dados da senóide sem que exista perda de informações. A memória LUT será responsável por armazenar somente um quarto dos dados gerados pelo Matlab®.

A compressão de quarto de onda é baseada nas propriedades de simetria da onda senoidal. Analisando a forma de onda (Figura 4.9) percebe-se que as informações dos valores do módulo da amplitude da senóide contidas no intervalo de  $0^\circ$  a  $90^\circ$  são as mesmas contidas nos intervalos de  $90^\circ$  a  $180^\circ$ ,  $180^\circ$  a  $270^\circ$  e  $270^\circ$  a  $360^\circ$ . Isto significa que se forem armazenadas somente as informações contidas no intervalo de  $0^\circ$  a  $90^\circ$  da onda senoidal na memória ROM, um quarto de toda a informação de um ciclo completo da onda senoidal, esta poderá ser totalmente reconstruída sem perda ou deformação [34].



**Figura 4.10** – Esquema de um DDS que utiliza a compressão de quarto de onda. Neste caso existe a necessidade de pequenas mudanças na estrutura original do DDS para que seja possível a síntese do sinal desejado.



Após a gravação da memória com informações apenas do primeiro quadrante da senóide, é necessária a construção de um circuito inteligente que execute as alterações necessárias nos dados armazenados na ROM, para o sinal reconstruído ficar em sua forma correta. Um exemplo deste esquema pode ser visto na Figura 4.10.

### 4.2.3 – Conversor D/A

O conversor D/A é o circuito que merece mais atenção, pois realiza a ponte entre o processamento digital e o processamento analógico do sinal sintetizado. O conversor D/A relaciona cada palavra digital em sua entrada a um nível de tensão que pode variar de zero à tensão de alimentação do dispositivo ( $V_{cc}$ ) com um passo que depende do número de bits em sua construção. Se um conversor for alimentado com 5V e trabalha com 10 bits, o sinal em sua saída pode variar de 0 a 5 volts com um passo de  $5/2^{10}$  volts ( $\Delta = 5/2^{10}$ ). Na saída do conversor D/A tem-se um sinal semelhante ao originado por um dispositivo de amostragem e retenção. Isto acontece porque o conversor D/A só muda sua saída após a transição do relógio principal (*clock*). Entre as transições do relógio, o conversor D/A mantém o seu último estado constante na saída. Esta característica do sinal encontrado na saída facilita o trabalho do filtro de reconstrução, pois o espectro do sinal terá a sua fundamental e suas réplicas limitadas em amplitude pelo formato da função  $\text{sen}(x)/x$  [29][32].

Verificando que a palavra de entrada do conversor possui um número limitado de bits, a saída do conversor irá apresentar um erro de quantização proporcional a este número. Além do erro de quantização, o conversor D/A apresenta outras desvantagens de ordem analógica, como a sua não-linearidade na conversão dos valores digitais para os seus respectivos valores analógicos. Para se obter uma primeira estimativa do erro de quantização gerado no conversor D/A, considera-se o conversor trabalhando com  $N$  bits, o valor do passo de quantização igual a  $\Delta$  e a amplitude de pico a pico da onda senoidal sintetizada como sendo  $2^N \cdot \Delta$ , para a onda senoidal excursionando toda a faixa dinâmica do conversor A/D. Então, tem-se a potência normalizada do sinal sintetizado determinada por

$$\left( \frac{2^N \cdot \Delta}{2\sqrt{2}} \right)^2 = \frac{2^{2N} \cdot \Delta^2}{2^2 \cdot 2} = 2^{2N-3} \cdot \Delta^2 \quad (4.8)$$

O erro de quantização pode ser considerado aleatório e igualmente distribuído entre  $-\Delta/2$  a  $+\Delta/2$ . A potência normalizada do ruído de quantização pode ser encontrada através do cálculo de sua variância [1]:

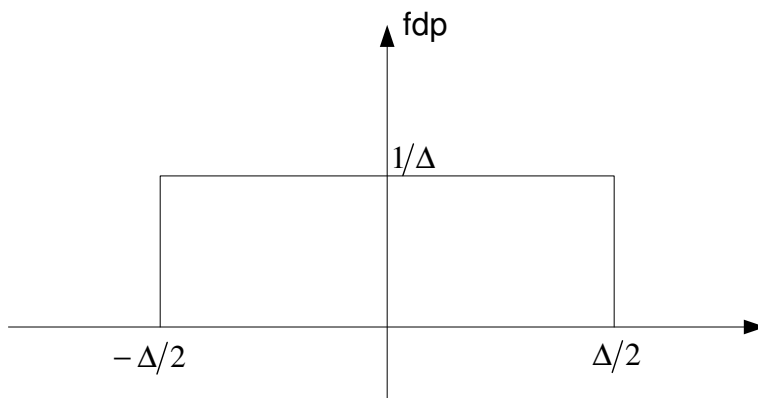
$$\text{Var}[x] = E[x^2] - E^2[x]$$

sendo a média do ruído de quantização igual a zero,  $E[x] = 0$ , tem-se

$$\text{Var}[x] = E[x^2]$$

$$\text{Var}[x] = P_{\text{ruído}} = \int_{-\Delta/2}^{\Delta/2} x^2 \cdot p(x) dx$$

onde,  $p(x)$  é a função densidade probabilidade do erro (fdp), descrita na Figura 4.11.



**Figura 4.11** – Função densidade probabilidade do erro de quantização em um conversor D/A ideal.

Assim,

$$P_{\text{ruído}} = \int_{-\Delta/2}^{\Delta/2} x^2 \cdot 1/\Delta dx = \frac{1}{\Delta} \cdot \left. \frac{x^3}{3} \right|_{-\Delta/2}^{\Delta/2} = \frac{1}{\Delta} \cdot \frac{\Delta^3}{8} + \frac{\Delta^3}{8} = \frac{\Delta^2}{12}$$

De posse do valor da potência do sinal e da potência do ruído, a fórmula geral da relação sinal-ruído é descrita como:

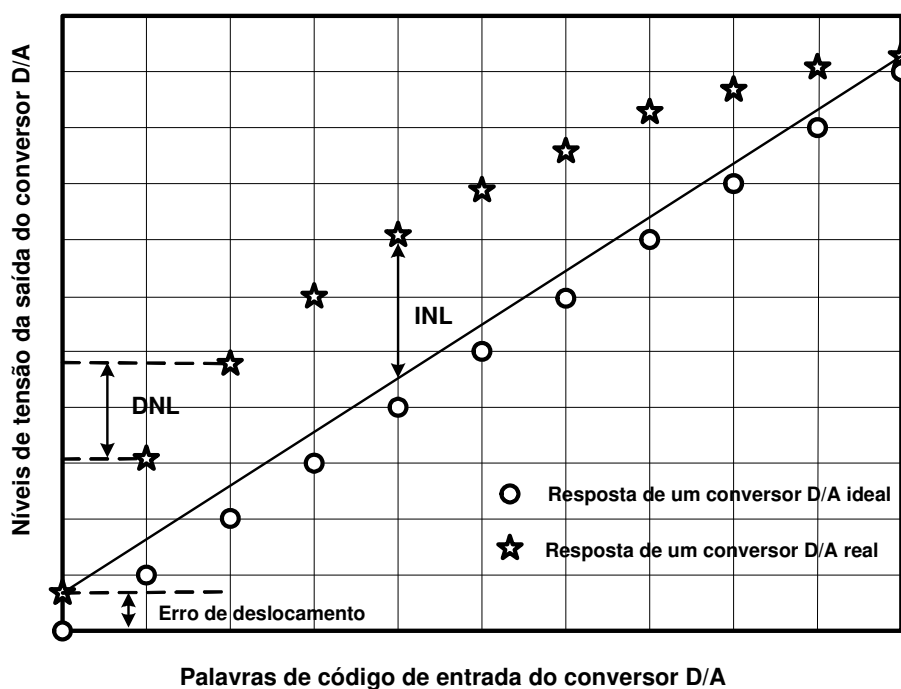
$$\frac{S}{N} = \frac{2^{2N-3} \cdot \Delta^2}{\frac{\Delta^2}{12}} = \frac{2^{2N}}{\frac{2^3}{12}} = 1,5 \cdot 2^{2N}$$

$$\frac{S}{N} [\text{dB}] = 10 \log(1,5 \cdot 2^{2N}) = 10 \log(1,5) + N \cdot 20 \log(2)$$

$$\frac{S}{N} [\text{dB}] = 1,76 + 6,02N \quad \text{dB} \quad (4.9)$$

A equação 4.8 é fundamental na teoria de DSP e é útil na análise da estrutura DDS. O cálculo da relação sinal-ruído em uma estrutura DDS é essencial, pois esta é uma característica diferencial da estrutura [1].

Uma característica não-linear no funcionamento do conversor D/A é responsável pelo aparecimento de várias componentes espectrais indesejáveis no espectro do sinal sintetizado [35][36]. Esta característica não-linear no conversor D/A pode ser medida através de dois fatores: a não-linearidade diferencial (DNL – Differential non-linearity) e a não-linearidade integral (INL – integral non-linearity) [35][29]. A não-linearidade diferencial é definida como o pior caso de variação entre dois pontos consecutivos da saída do conversor. O ideal seria que entre dois pontos consecutivos da saída do conversor existisse a diferença de exatamente um bit menos significativo. Porém isso não é verdade na prática, sendo a diferença encontrada denominada *DNL*. A não-linearidade integral é definida como sendo o pior caso de desvio do segmento retilíneo que os pontos da saída do conversor D/A deveriam seguir idealmente e os pontos reais da saída encontrados. Estes efeitos são mostrados na Figura 4.12.

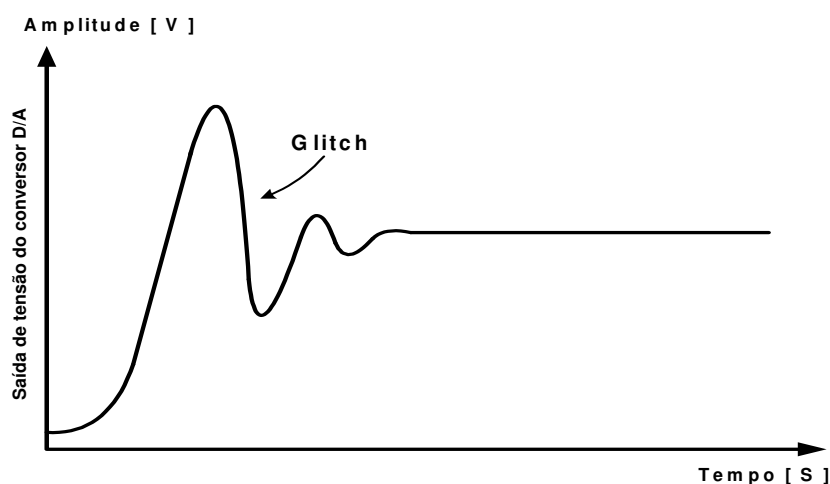


**Figura 4.12** – Esta figura ilustra as definições de DNL e INL, o que deixa claro que o conversor D/A é um bloco da estrutura DDS que insere uma grande parcela de não-linearidade e conseqüentemente ruído e espúrios ao sistema.

Como todo fenômeno não-linear, o encontrado no conversor D/A será responsável pela geração de inúmeros produtos de intermodulação e harmônicos no espectro do sinal

de saída [35]. Em conjunto com os efeitos da não-linearidade do conversor D/A, tem-se também o aparecimento dos fenômenos denominados amortecimento (*glitch*) e vazamento do relógio. São considerados ruídos analógicos, e o ruído de quantização é considerado um ruído digital. Os ruídos analógicos e digitais fazem do conversor D/A a principal fonte de ruído da estrutura DDS.

O fenômeno do amortecimento (*glitch*) é encontrado entre as transições dos estados da saída do conversor D/A. É definido como uma instabilidade na estabilização de um novo estado na saída do conversor D/A. (Figura 4.13). O vazamento do relógio pode ser explicado como um acoplamento indutivo ou capacitivo que permite o sinal de saída sintetizado ser modulado pelo sinal do relógio [2].



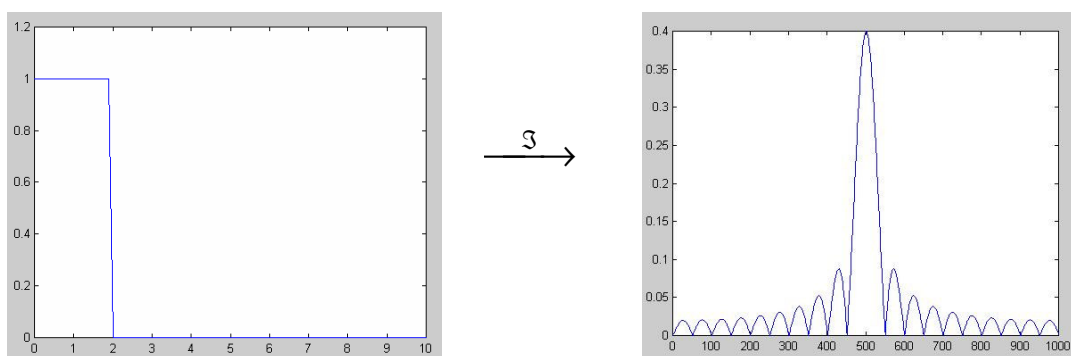
**Figura 4.13** – Efeito presente nas transições do sinal de saída do conversor D/A conhecido como *Glitch*.

#### 4.2.4 – Filtro de Reconstrução

O filtro de reconstrução tem como principal função interpolar o sinal amostrado e retido entregue pelo conversor D/A, disponibilizando em sua saída uma forma de onda senoidal praticamente perfeita. Analisando o sinal entregue pelo conversor D/A, no domínio da frequência, pode-se dizer que o filtro também tem a função de eliminar as componentes espectrais indesejáveis, encontradas no espectro do sinal sintetizado. Como a maioria das componentes espectrais indesejáveis (frequência imagem, espúrios, harmônicos), possuem frequência maiores que o valor da raia sintetizada, o filtro de reconstrução tem forma de um filtro passa-baixas.

Ressalta-se que a construção de um filtro ideal é impossível, uma vez que deve satisfazer o teorema da causalidade [27]. De acordo com a Figura 4.14, é impossível que

um sistema real responda antes de ser excitado por algum tipo de sinal. A figura mostra a resposta da simulação de uma anti-transformada de Fourier do que seria o sinal de um filtro ideal no domínio da frequência e qual seria o seu formato correspondente no domínio do tempo. Este fato é responsável por fazer com que a estrutura DDS não consiga sintetizar uma frequência localizada no limite do teorema de Nyquist. De acordo com esse teorema, teoricamente a estrutura DDS seria capaz de sintetizar frequências de até o limite de 50% da frequência do relógio. Porém, como o filtro de reconstrução real não permite uma filtragem tão abrupta, a estrutura DDS fica limitada agora pelo fator de forma do filtro de reconstrução. Normalmente, quanto maior for a ordem do filtro implementado, melhor será o fator de forma do filtro e mais próximo do limite de Nyquist a estrutura DDS vai conseguir trabalhar. Atualmente, é muito comum encontrar estruturas DDS que consigam sintetizar frequências de até 40% da frequência do relógio [2].



**Figura 4.14** – Teorema da causalidade ilustrado por um filtro passa-baixas ideal que é um sinal não-causal. Na figura da esquerda tem-se a resposta no domínio da frequência de um filtro ideal, e na figura da direita a resposta no domínio do tempo.

## Capítulo V

### Implementação da síntese digital direta

#### 5.1 – Introdução

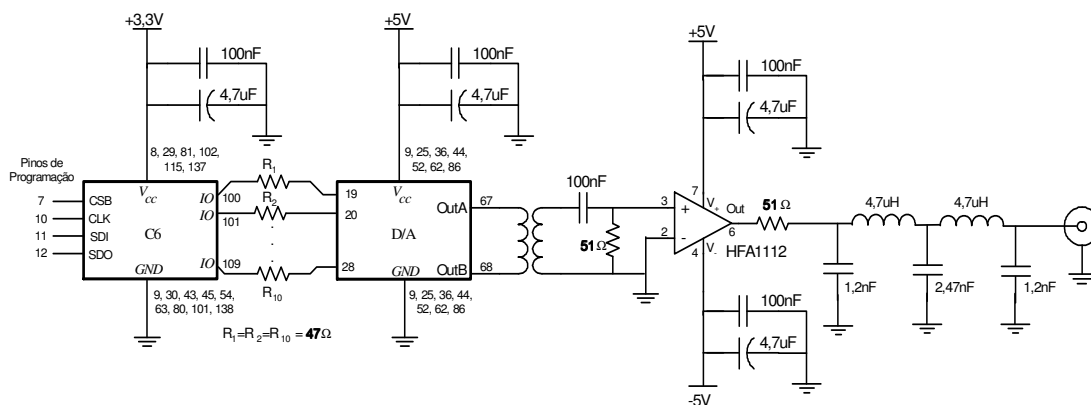
No processamento digital dos modernos sistemas de comunicações, alguns parâmetros dos projetos devem ser controlados com limites rígidos. A exatidão dos sinais de referência, o baixo ruído de fase e o cuidado com a modulação parasita de fase (*jitter*) tornaram-se fatores essenciais em projetos de sistemas digitais.

Os osciladores locais são responsáveis pelas mudanças dessas características nos sistemas e o estudo da síntese digital direta (DDS) tornou-se muito importante. Esta tecnologia tem como principais vantagens a exatidão do sinal gerado, o baixo ruído de fase, o controle digital e a rapidez de comutação no processo de mudança da frequência sintetizada. Este capítulo demonstra a implementação, o funcionamento e as principais características da estrutura DDS, justificando sua importância como ferramenta para o funcionamento dos novos sistemas digitais.

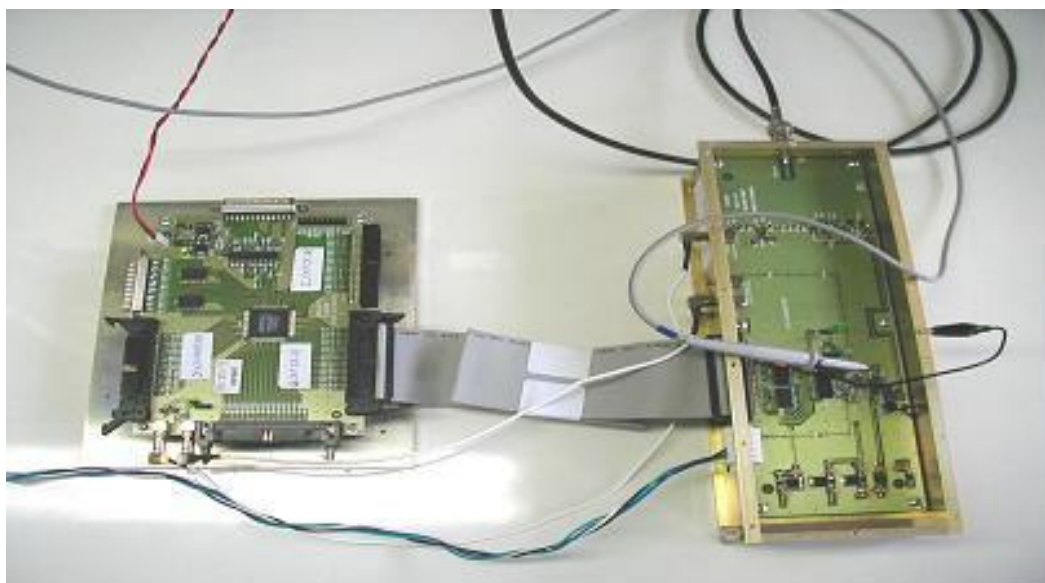
#### 5.2 - Descrição da implementação da síntese digital direta

A implementação da estrutura DDS foi desenvolvida com circuitos integrados e componentes discretos. Dividiu-se o circuito em três blocos, descritos como acumulador de fase e LUT, conversor digital/analógico e filtro. O primeiro bloco, foi implementado com a

rede de portas de campo programável (Field Programmable Gate Array - FPGA). O segundo, com um circuito integrado dedicado de 10 bits que faz a conversão digital/analógica e o terceiro com componentes discretos. O esquema elétrico implementado pode ser visualizado na Figura 5.1



**Figura 5.1** – Esquema elétrico simplificado do protótipo implementado.



**Figura 5.2** – Protótipo da estrutura DDS dividido em dois dispositivos. O dispositivo da esquerda é composto por uma placa de teste FPGA, programada para implementar internamente o bloco do acumulador de fase e o bloco da LUT. O dispositivo da direita é composto por um conversor D/A e um filtro passa-baixas, implementados com componentes dedicados e componentes discretos.

Para uma análise na estrutura DDS, o processamento do sinal sintetizado está dividido em duas partes, que são os processamentos do sinal na forma digital e na forma analógica. O desenvolvimento está ilustrado nas Figuras 4.1 e 5.2. A disponibilidade de equipamentos para a análise dos sinais em seus formatos naturais foi de relevância na

escolha das medições a serem feitas no protótipo. Além da medição no formato analógico, a análise no formato digital seria de difícil armazenamento e visualização. Com isto, os resultados foram obtidos dos principais pontos do bloco de processamento analógico. A saída da estrutura DDS é o foco principal neste capítulo. Para a montagem e os ensaios do protótipo da estrutura DDS utilizaram-se diferentes ferramentas computacionais como o Quartuz II<sup>®</sup>, Eagleware<sup>®</sup> e Matlab<sup>®</sup>, e equipamentos de medição de grande confiabilidade.

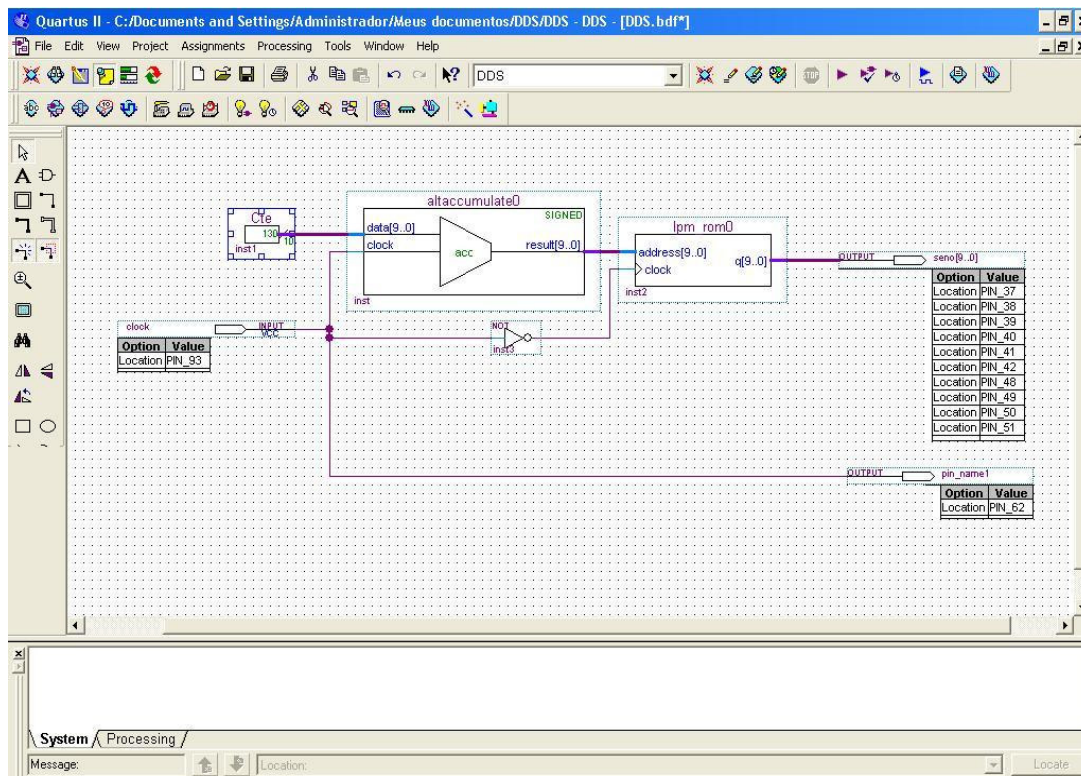
### 5.3 - Resultados práticos obtidos

Dentre as várias características que podem ser verificadas na estrutura DDS, foram escolhidas para serem detalhadas a precisão e a resolução do sinal sintetizado, a resposta rápida a um comando digital, o baixo ruído de fase do sinal sintetizado, o *jitter* e os espúrios derivados de uma palavra de controle não múltipla inteira de  $2^N$ . Também foram analisadas as réplicas do sinal sintetizado, que são consequência da amostragem do sinal sintetizado e o processo de filtragem que elimina as componentes espectrais indesejáveis e reconstrói o sinal sintetizado da saída. A primeira etapa de medições no protótipo foi executada com a intenção de colocar em evidência a precisão e resolução do sinal sintetizado, que irá variar de acordo com as características do acumulador de fase. O utilizado no protótipo foi programado para trabalhar com uma palavra de controle de  $N$  bits casados com o tamanho do acumulador de fase e com a palavra de saída entregue à *LUT*. Todas as variáveis foram programadas através do uso do aplicativo Quartuz II<sup>®</sup>. A Figura 5.3 mostra o ambiente de programação do Quartuz II<sup>®</sup> e o que foi programado no FPGA [37].

De acordo com (4.2), a resolução do sinal sintetizado está associada ao número de bits  $N$  com que o acumulador de fase e seus periféricos estão trabalhando. Já a precisão do sinal de saída está interligada com a palavra de controle  $W$  de  $N$  bits usada para programar o DDS, conforme previsto em (4.3). Para analisar estas informações foram feitos alguns testes que apresentaram resultados esperados. No primeiro teste, o acumulador de fase e os seus periféricos (acumulador de fase mais o incremento de fase) foram programados para trabalhar com palavras de 10 bits ( $N = 10$ ), definindo assim a resolução do sinal sintetizado pelo valor

$$F_r = \frac{F_{clk}}{2^N} = \frac{16 \times 10^6}{2^{10}} = 15.625 \text{Hz} \quad (5.1)$$





**Figura 5.3** – Ambiente de programação do software Quartus II®. Visualiza-se a implementação do acumulador de fase e da memória LUT dentro da estrutura FPGA.

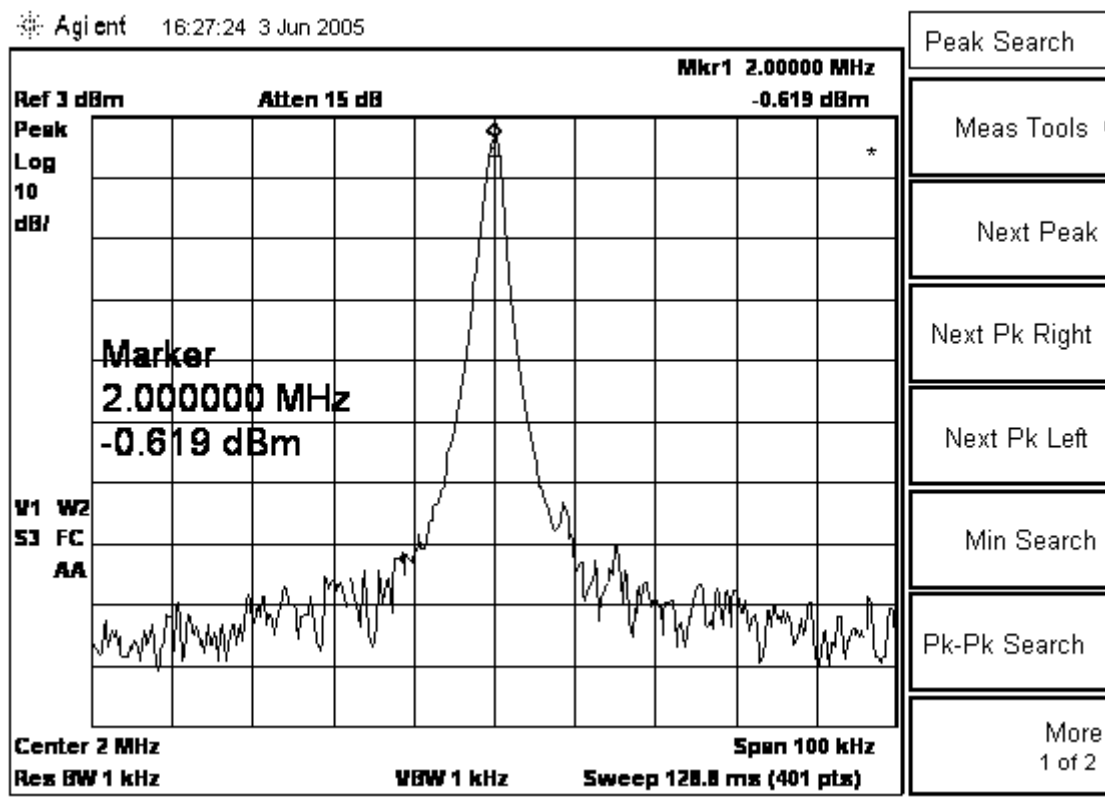
A palavra de controle  $W$  será responsável por definir a precisão da estrutura. Para  $W = 1$ , a estrutura apresenta a máxima precisão, que é a própria resolução do sistema. Trabalhando com valores de  $W$  múltiplos de  $2^N$ , a saída da estrutura pode apresentar valores de precisão muito interessantes. Para  $W$  igual aos múltiplos de 8, a estrutura DDS apresenta uma precisão de 125kHz e um possível passo de frequência de 125kHz em 125kHz. Ou seja, conclui-se que através da palavra  $W$  é possível criar um oscilador de passo controlável com grande precisão de frequência e com valores de passo desejáveis na prática. As Figuras 5.4, 5.5 e 5.6 apresentam os resultados do protótipo funcionando com  $N = 10$  bits, com as exatidões determinadas na Tabela 5.1. Com essas medições, podem ser visualizados o controle da frequência sintetizada através da manipulação de  $W$  e a resolução de frequência obtida pelo protótipo para  $N = 10$  bits. Nota-se também nas Figuras 5.3, 5.4 e 5.5 que para uma diferença de  $\Delta W = 1$ , a resolução medida é bem próxima da calculada e para  $\Delta W = 2$  o valor medido é exatamente o esperado. Isto indica que o protótipo está funcionando como previsto, levando em conta as limitações do analisador de espectros.

**Tabela 5.1** – Valores da frequência sintetizada para diferentes valores de  $N$  e  $W$ .

$W$	8	16	32	128	129	130	1024	1025
10	125.000	250.000	500.000	2.000.000	2.015.625	2.031.250	-	-
13	15.625	31.250	62.500	250.000	251.953,125	253.906,250	2.000.000	2.001.953

Nas Figuras 5.6 e 5.7 e de acordo com os resultados previstos na Tabela 5.1, fica evidente a mudança da precisão e da resolução da saída sintetizada, para uma mudança nos valores de  $N$  e  $W$ . Para um maior valor de  $N$ , verifica-se um aumento da resolução e da precisão no sinal sintetizado na saída da estrutura. Quanto maior o valor de  $N$ , mais difícil fica de verificar o valor da resolução de frequência do sinal de saída. Na equação a seguir, tem-se a resolução da frequência sintetizada para um  $N = 13$ , o que confirma o aumento da precisão e da resolução de acordo com o aumento de  $N$ :

$$F_r = \frac{16 \times 10^6}{2^{13}} = 1.953,125 \text{ Hz} \quad (5.2)$$

**Figura 5.4** – Sinal de saída da estrutura DDS trabalhando com um valor de  $N = 10$  bits e uma palavra de controle  $W = 128$ .

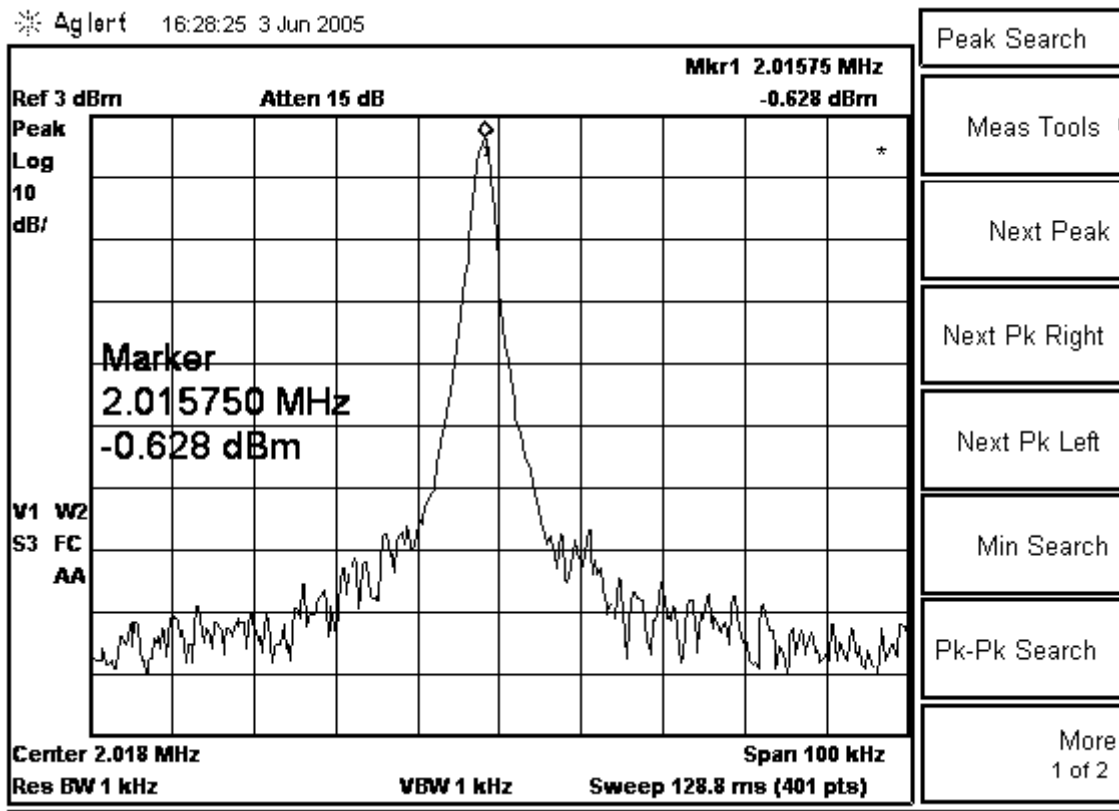


Figura 5.5 – Sinal de saída da estrutura DDS trabalhando com um valor de  $N = 10$  bits e uma palavra de controle  $W = 129$ .

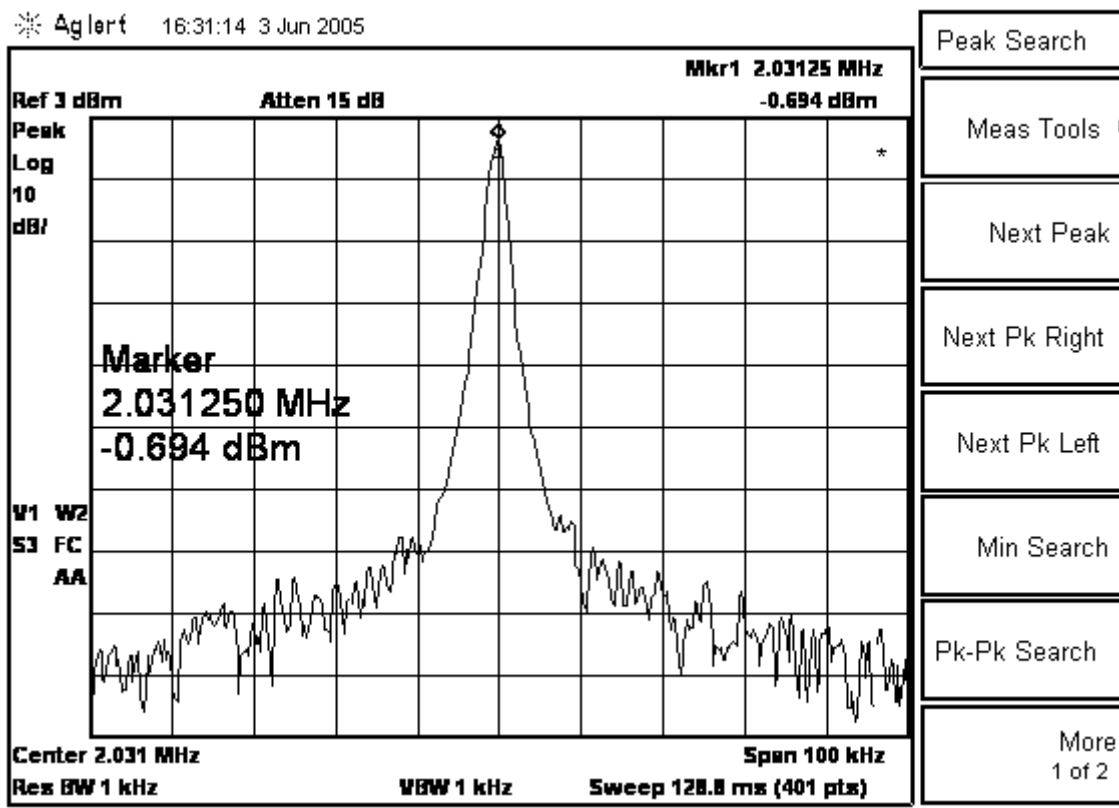
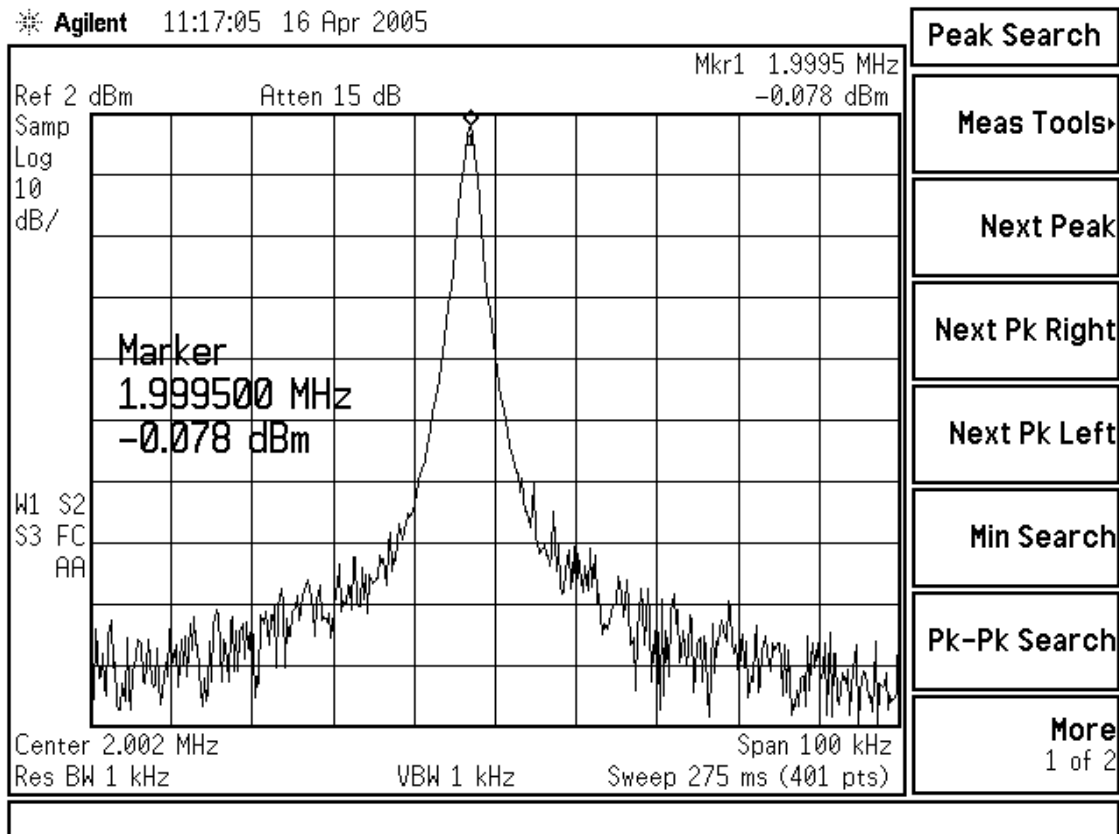
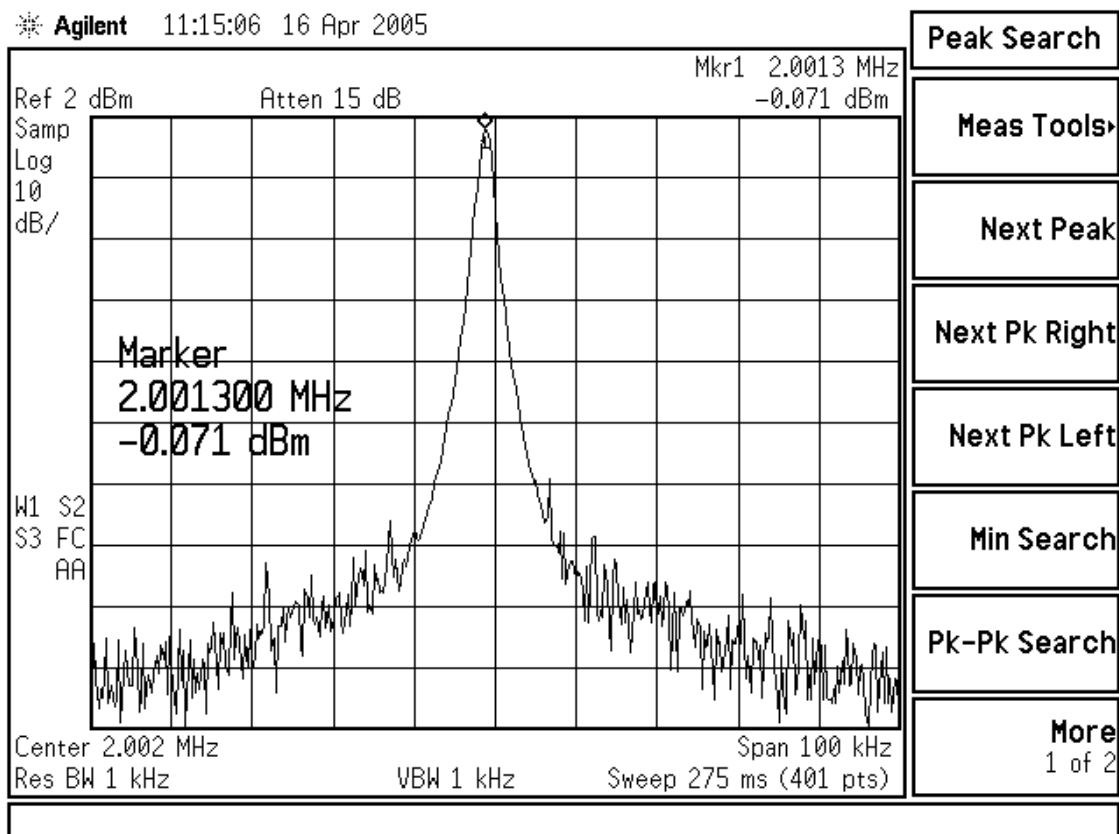


Figura 5.6 – Sinal de saída da estrutura DDS trabalhando com um valor de  $N = 10$  bits e uma palavra de controle  $W = 130$ .



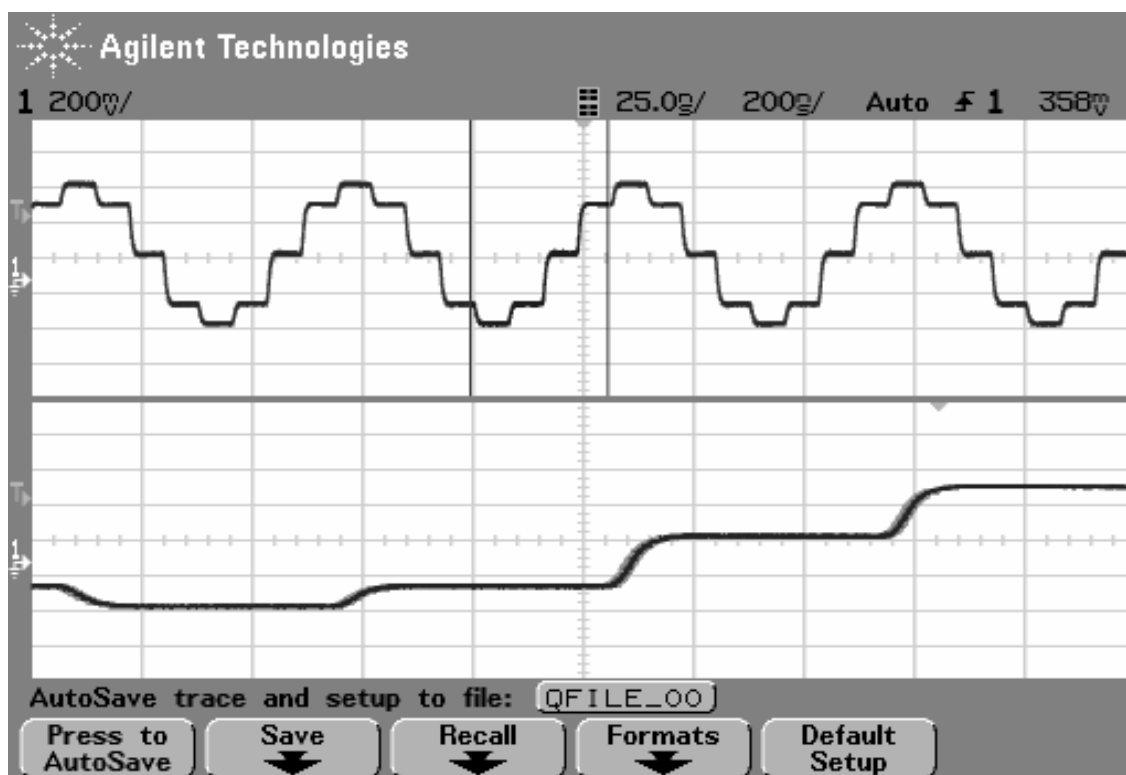
**Figura 5.7** – Sinal de saída da estrutura DDS trabalhando com um valor de  $N = 13$  bits e uma palavra de controle  $W = 1024$ .



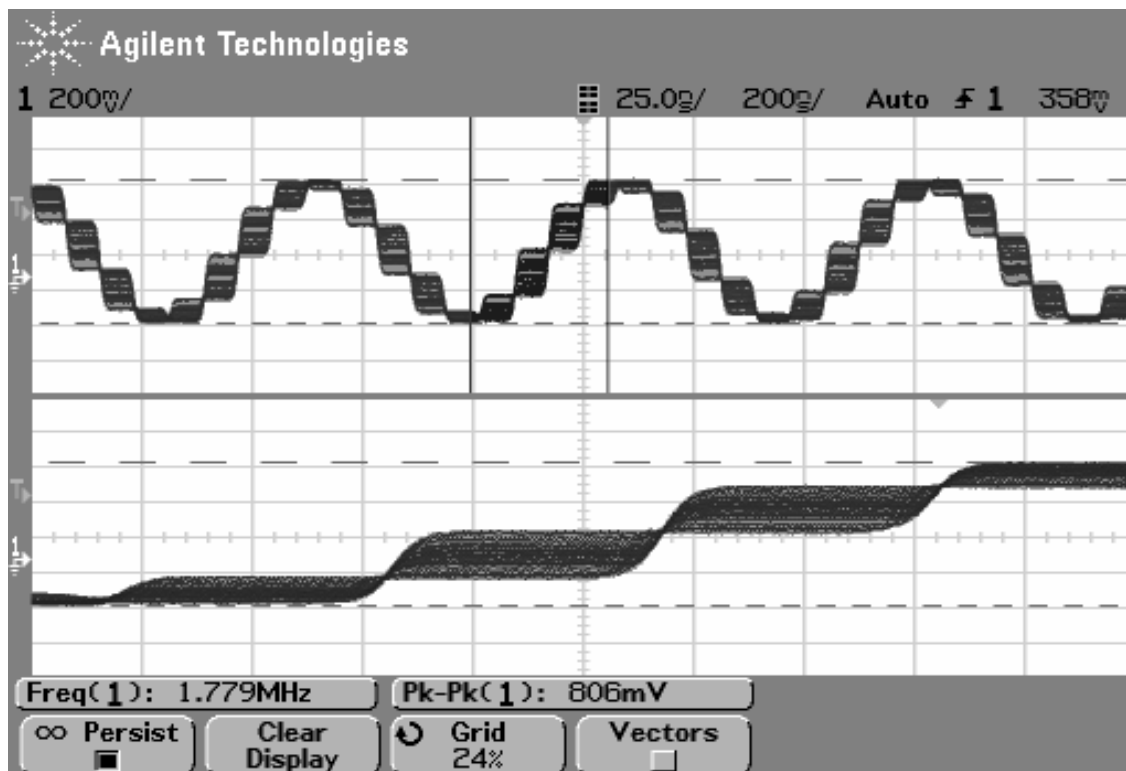
**Figura 5.8** – Sinal de saída da estrutura DDS trabalhando com um valor de  $N = 13$  bits e uma palavra de controle  $W = 1025$ .

A segunda etapa de medições teve como intenção mostrar a geração do *jitter*, comentado na secção 4.2.1. A existência e o valor do *jitter* dependem exclusivamente do valor da palavra  $W$  escolhida. Para múltiplos de  $2^N$ , nenhum *jitter* será gerado devido a propriedade estudada no capítulo anterior (Figura 4.8) [32]. Isto acontece porque a leitura da memória *LUT* será totalmente cíclica e a memória será lida nos mesmos endereços, forçando a saída do conversor D/A excursionar sempre os mesmos valores. A consequência será a formação de um sinal periódico, presente na saída do acumulador de fase, da *LUT* e do conversor D/A e limpo na saída do sistema.

Quando a palavra  $W$  escolhida não for um múltiplo inteiro de  $2^N$ , ocorrerá uma quebra na periodicidade da leitura da memória *LUT*, ocasionando a geração do *jitter* (Figura 4.9). Neste caso, tem-se o aparecimento de uma pseudo-periodicidade no endereçamento da *LUT* que gera uma saída sintetizada contaminada por um *jitter* proporcional ao valor da palavra de controle  $W$ . Observando a Figura 5.8, percebe-se que o conversor D/A está excursionando pontos de amplitude próximos, porém diferentes, o que explica a forma de onda borrada visualizada na tela do osciloscópio. Isto acontece porque a memória (*LUT*) está sendo lida por um sinal pseudo-periódico.



**Figura 5.9** – Sinal medido com o osciloscópio na saída do conversor D/A da estrutura DDS trabalhando com uma palavra de controle  $W = 128$ , múltipla inteira de  $2^N$ .



**Figura 5.10** – Sinal medido com o osciloscópio na saída do conversor D/A da estrutura DDS trabalhando com uma palavra de controle  $W = 114$ , não múltipla inteira de  $2^N$ .

A escolha de valores para  $W$  não múltiplo inteiro de  $2^N$ , também é responsável pela geração de sinais espúrios no espectro do sinal sintetizado de saída. Como visto no Capítulo IV, a mesma quebra da periodicidade na leitura da *LUT*, responsável pelo aparecimento do *jitter* no sistema, também é responsável pelo aparecimento de sinais espúrios [35]. Nas Figuras 5.11 e 5.12 visualizam-se dois casos distintos. No primeiro caso, tem-se o espectro limpo de um sinal gerado a partir de uma palavra  $W$  múltipla inteira de  $2^N$ . No segundo caso, tem-se o aparecimento de espúrios no espectro gerado a partir de uma palavra  $W$  não múltipla inteira de  $2^N$ . Nos dois casos, foi usada uma frequência de relógio de 200MHz [1].

A terceira etapa de medições teve como objetivo mostrar a geração das réplicas do sinal sintetizado no domínio da frequência. Este fato ocorre devido ao processo de amostragem no qual a estrutura DDS é fundamentada. Para demonstrar este fenômeno, a estrutura DDS foi programada para sintetizar uma frequência de 1.796.875Hz a partir de uma frequência de referência de 16MHZ.

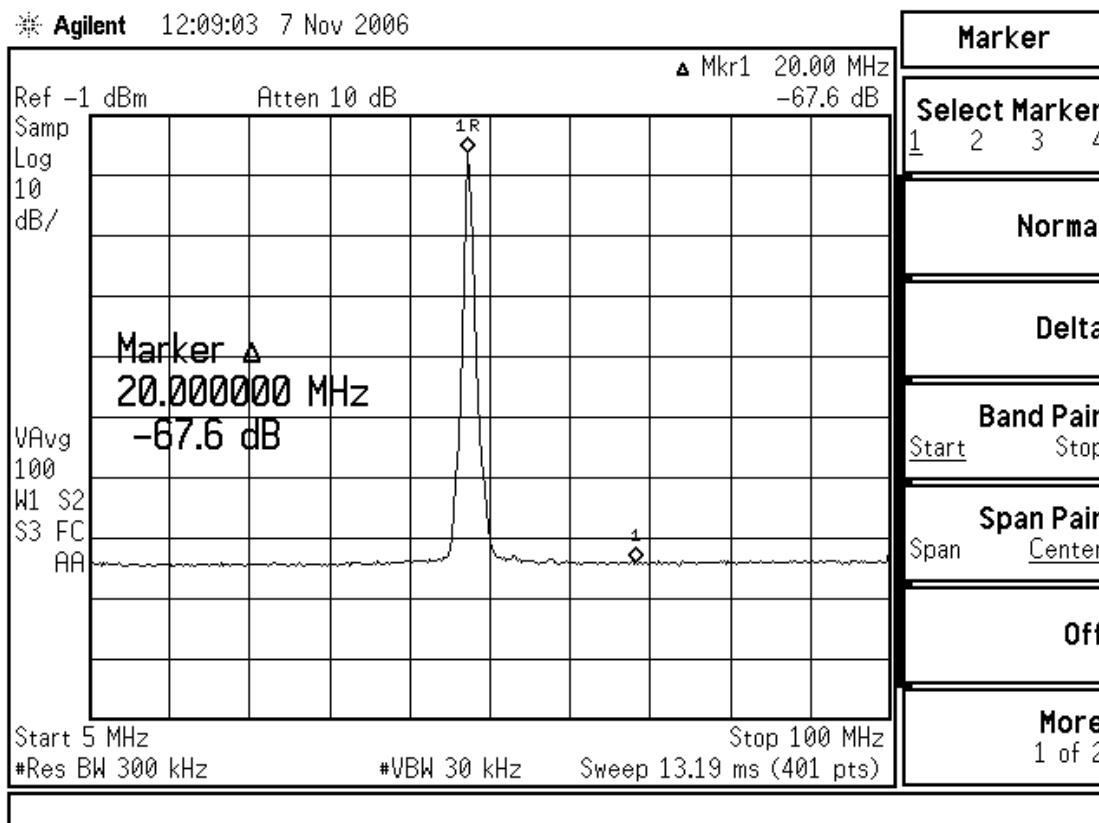


Figura 5.11 – Espectro de um sinal gerado a partir de uma palavra  $W$  múltipla inteira de  $2^N$ .

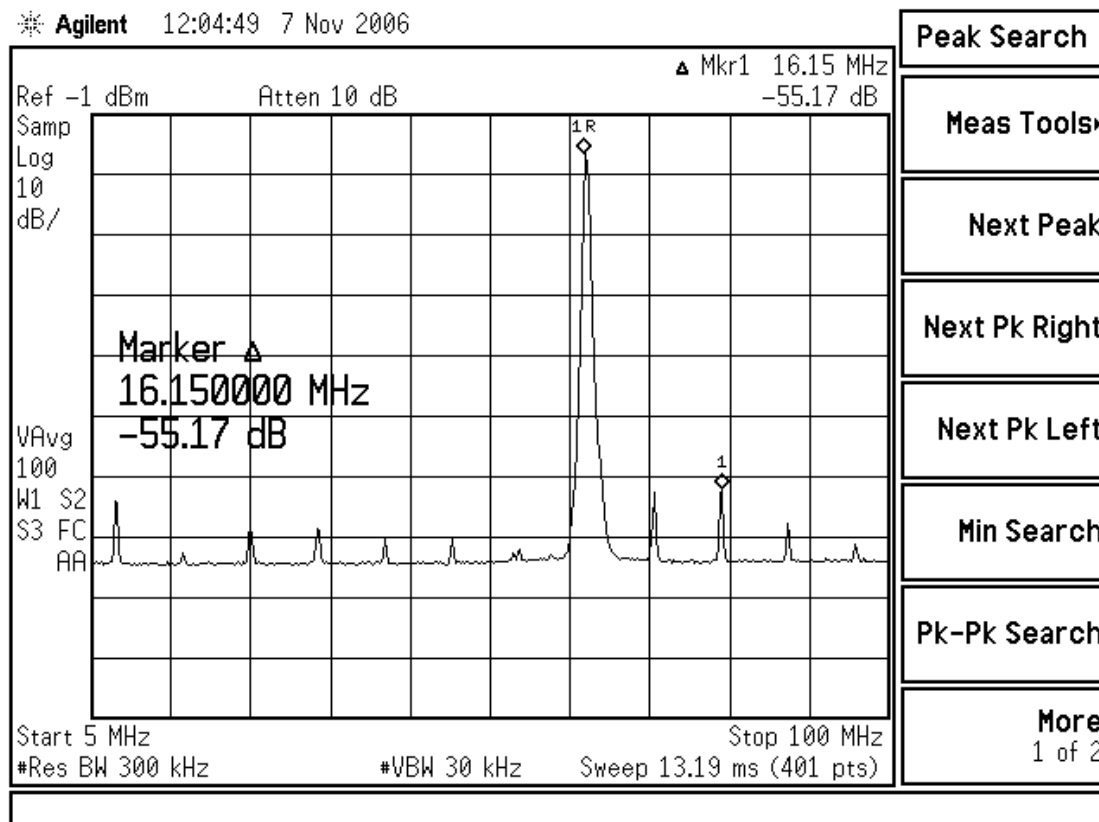
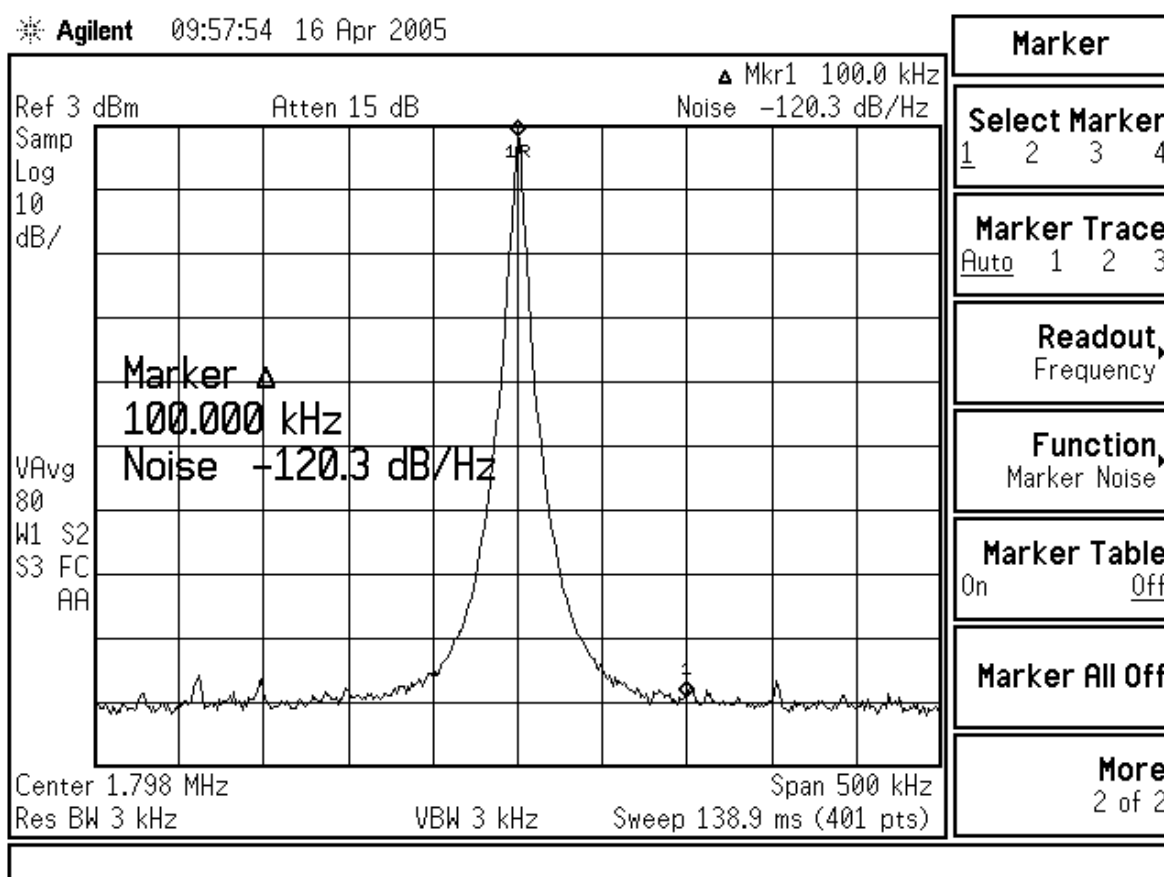


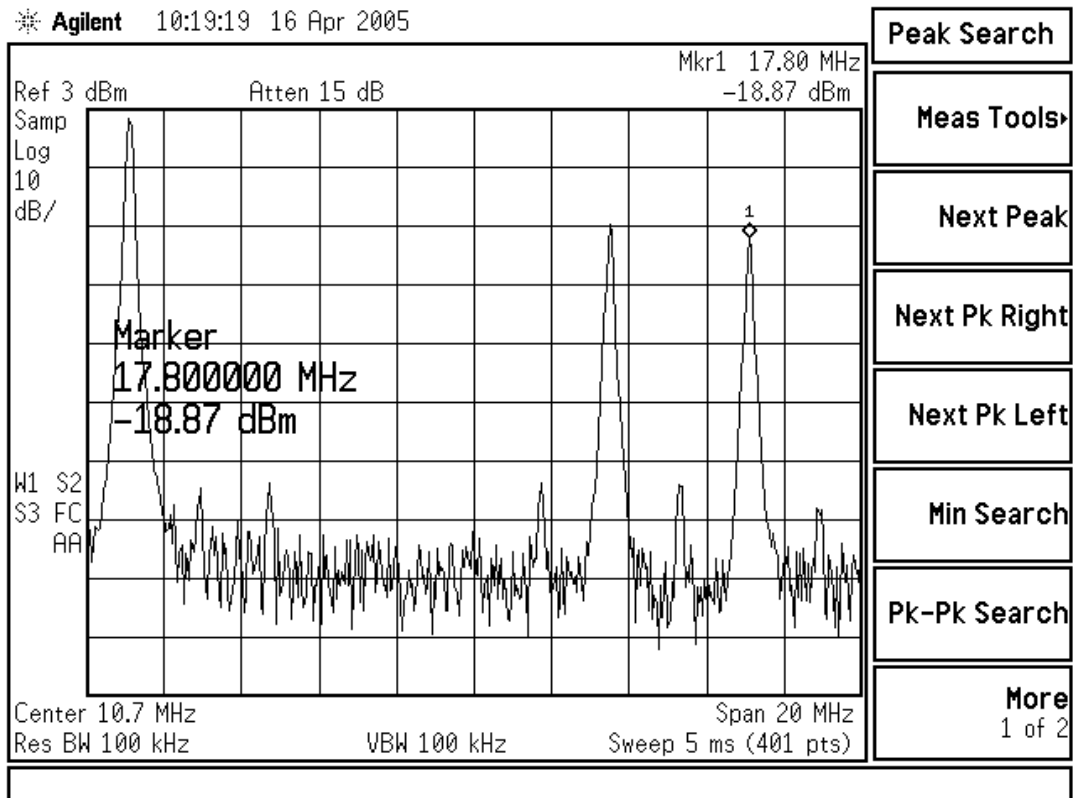
Figura 5.12 – Espectro de um sinal gerado a partir de uma palavra  $W$  não múltipla inteira de  $2^N$ .

Com um pequeno valor de *SPAN* configurado no analisador de espectro (500 kHz), verifica-se a raia sintetizada de 1,8MHz (Figura 5.13). Se o valor do *SPAN* for aumentado gradativamente para 20MHz, melhora-se a visualização da raia principal e das réplicas espectrais geradas devido ao processo de amostragem presente no processamento do sinal. (Figura 5.14). A frequência de amostragem (sinal de relógio) de 16MHz é suprimida, porém ainda pode ser vista. Nos arredores da frequência de amostragem têm-se duas réplicas esperadas do sinal sintetizado, uma deslocada de 1,8MHz para a direita e outra deslocada de 1,8MHz para a esquerda da frequência de amostragem, evidenciando a modulação presente na saída. Na Figura 5.15, verifica-se todo o espectro de frequência do sinal sintetizado antes de ser filtrado, sinal contaminado de réplicas do sinal sintetizado ponderadas pelo formato do sinal  $Sa(\omega)$ , referente ao sinal de amostragem do sinal armazenado na *LUT*.

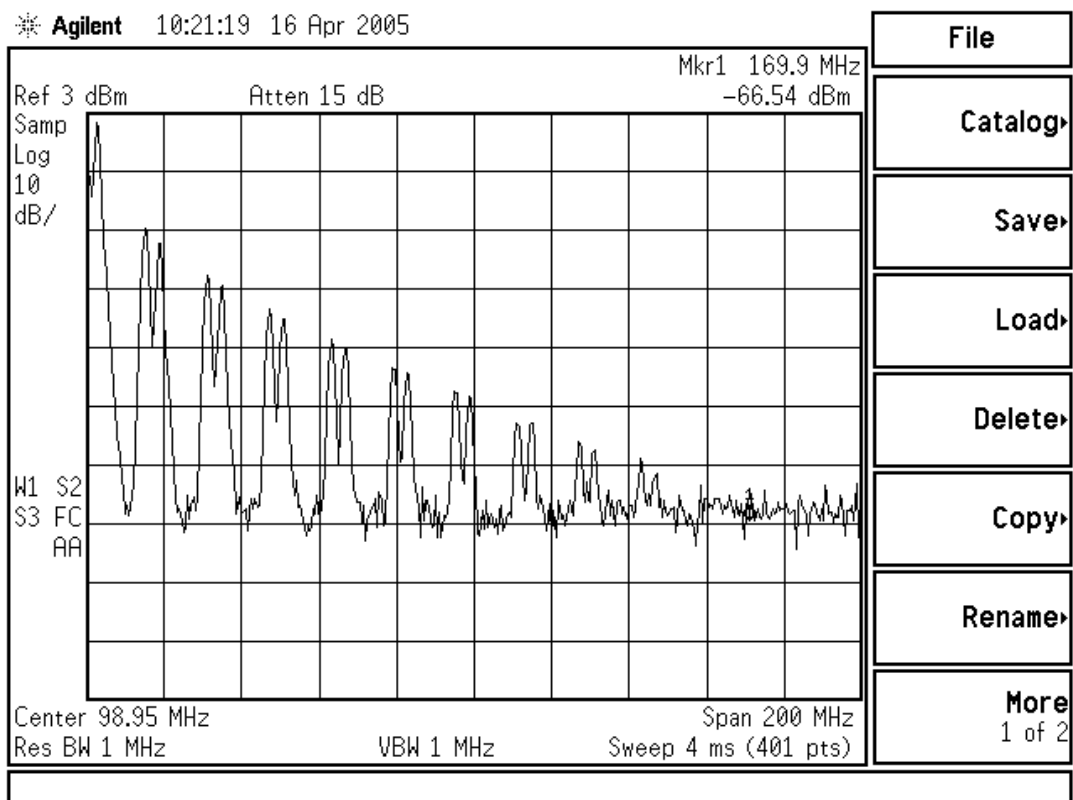


**Figura 5.13** – Sinal de saída da estrutura DDS configurada para sintetizar uma frequência de 1,8MHz.



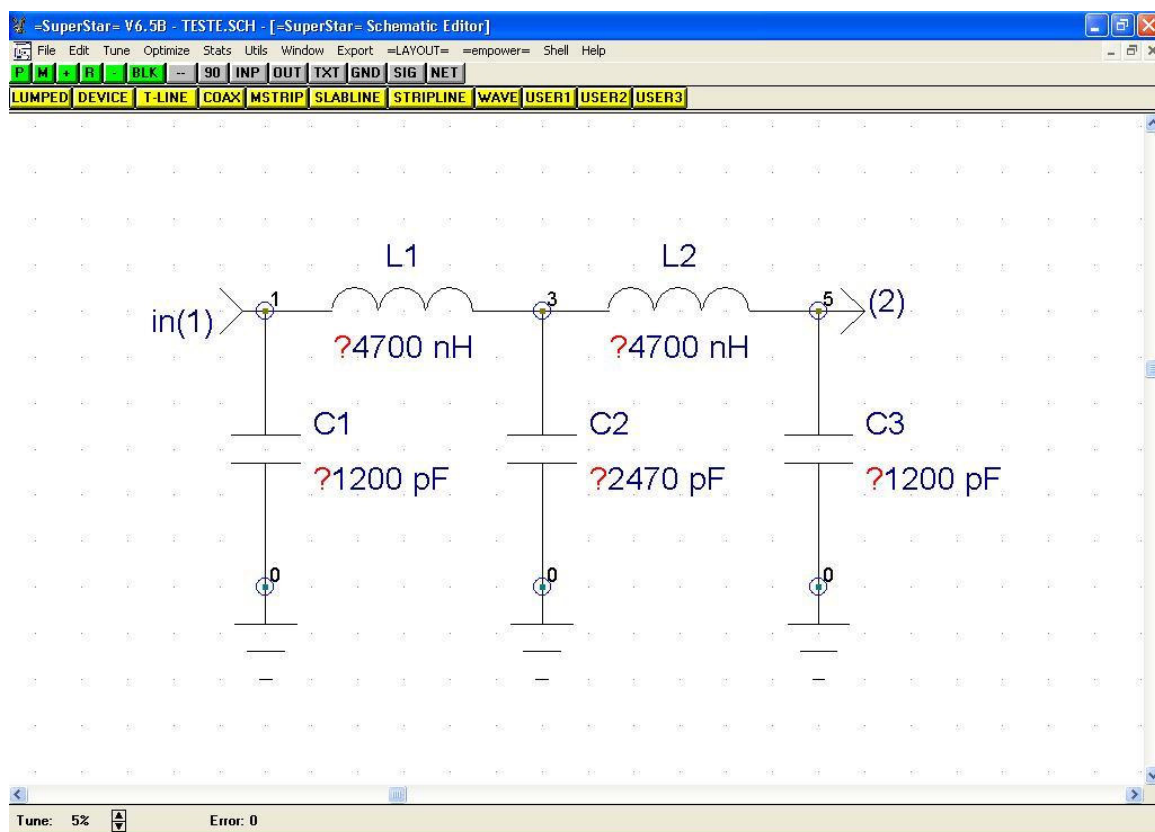


**Figura 5.14** – Sinal de saída da estrutura DDS composto pela raia principal e suas réplicas.



**Figura 5.15** – Sinal de saída da estrutura DDS visualizado com um analisador de espectro configurado para mostrar todas as raia contidas em todo espectro de freqüência.

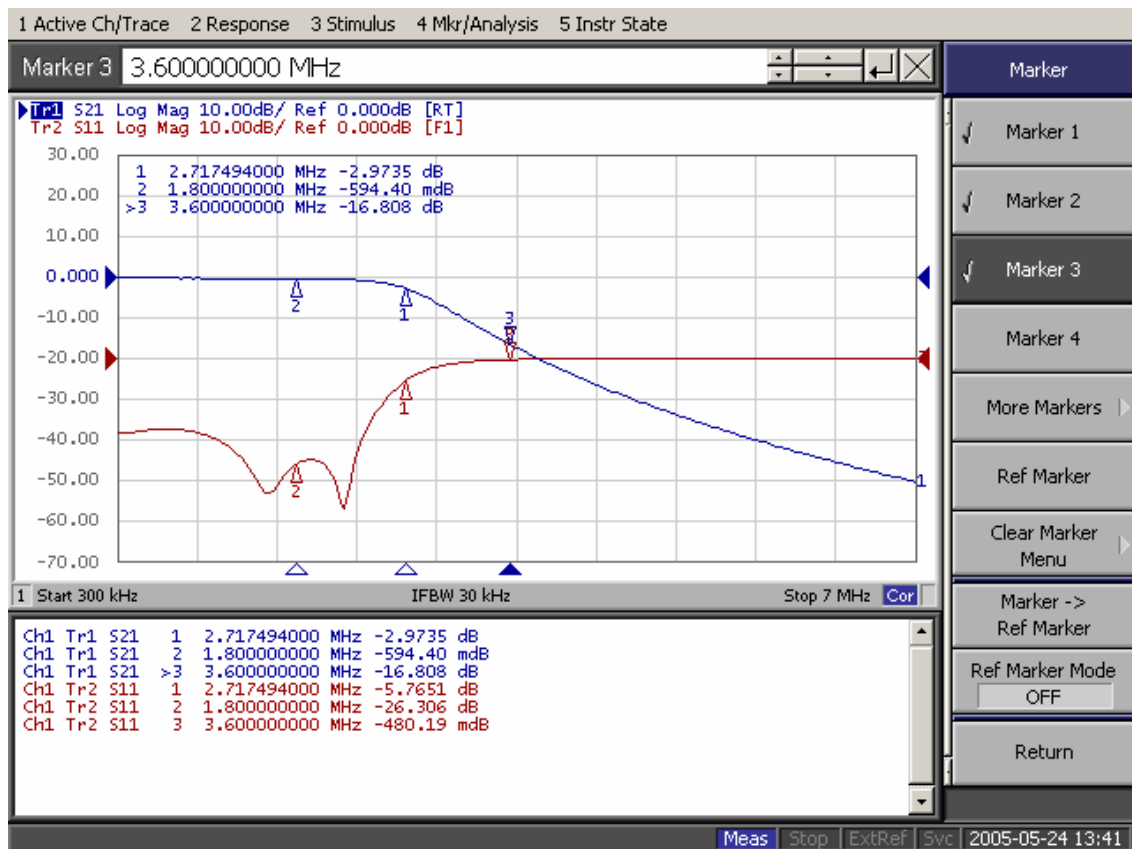
Para eliminar as réplicas do sinal sintetizado, teve que ser feito um processo de filtragem eficaz [38]. Utilizando um programa computacional de simulação de circuitos, o Eagleware<sup>®</sup>, foi calculado e simulado um filtro passa-baixas de 5ª ordem baseado nas informações geradas nas medidas anteriores (Figura 5.16). Analisando a Figura 5.17, alguns dados importantes podem ser obtidos da simulação no computador. Na faixa de passagem o filtro possui perda por inserção ( $S_{21}$ ) de 0,48dB e frequência de corte do filtro de aproximadamente 2,5MHz. O filtro ainda apresenta um coeficiente de reflexão ( $S_{11}$ ) melhor do que -21dB e no ponto da primeira réplica do sinal apresenta uma rejeição maior do que 60dB. Depois de simulado, montou-se e analisou-se o filtro com o analisador vetorial de circuitos. Observando a resposta do filtro isoladamente na Figura 5.18, verificou-se que apresentou características próximas às simuladas, o que atende às necessidades do projeto. Na Figura 5.19, tem-se o resultado da inserção do filtro de reconstrução na saída do conversor D/A. Como resultado da inserção do filtro passa-baixas, os sinais indesejáveis foram eliminados, deixando passar somente a raia sintetizada principal.



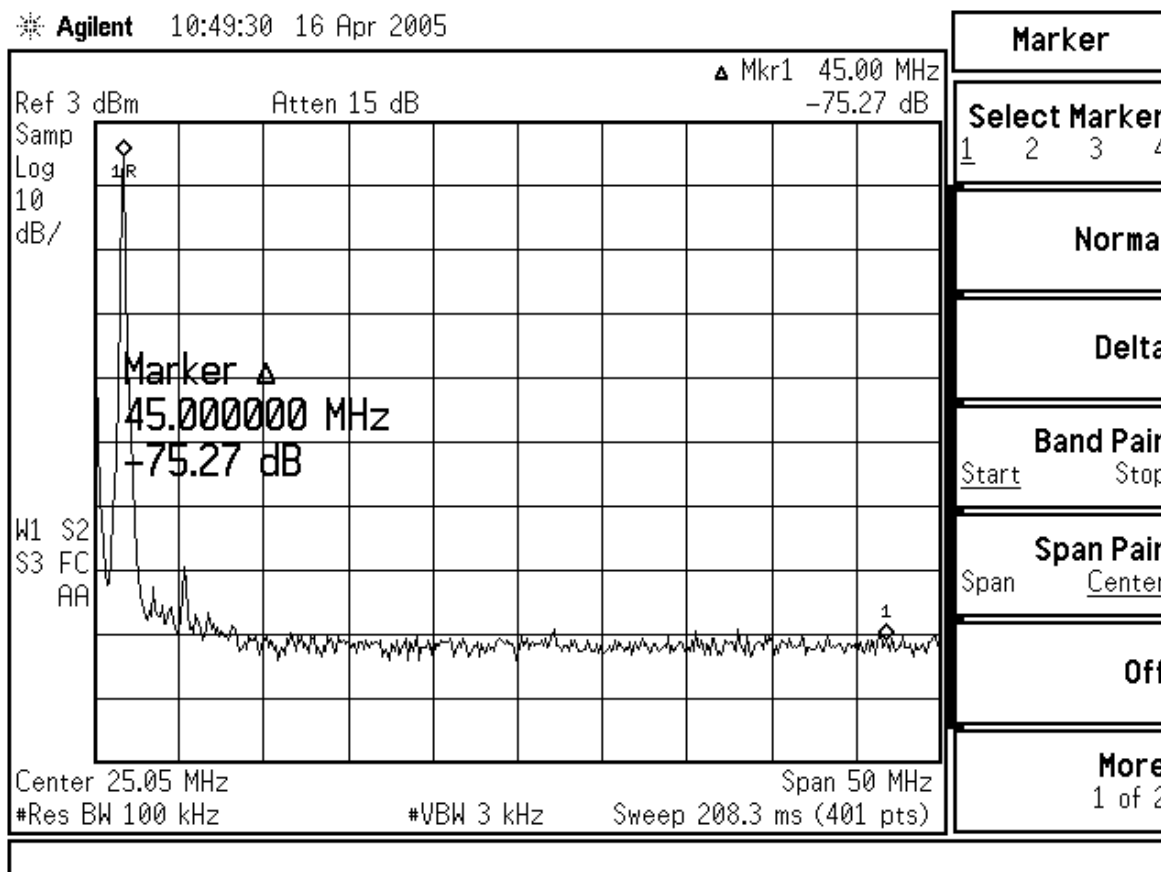
**Figura 5.16** – Filtro passa-baixas de 5ª ordem, Butterworth, montado e simulado dentro do programa de simulação Eagleware.



**Figura 5.17** – Resultado da simulação do filtro passa-baixas de 5ª ordem apresentado pelo programa computacional Eagleware®.



**Figura 5.18** – Resultado do filtro simulado no Eagleware testado com o analisador vetorial.



**Figura 5.19** – Sinal de saída da estrutura DDS depois do filtro de reconstrução. Todas as réplicas foram praticamente eliminadas pela ação do filtro.

A última medição destacou a qualidade do sinal sintetizado pela estrutura DDS com relação ao seu ruído de fase, parâmetro observado nos osciladores que trabalham dentro de estruturas que processam sinais digitais. Esta característica é um ponto forte da estrutura DDS. Nas Figuras 5.20 e 5.21, nota-se que a estrutura DDS apresenta um ruído de fase de 96,8dBc@10kHz e 121,5dBc@100kHz, valores que são muito difíceis de serem desenvolvidos na prática. É importante ressaltar que o ruído de fase é uma característica que determina o quão próximo ou o quão distante o oscilador analisado está de um oscilador teórico desejado. Outro fato que não pode ser desprezado é que o analisador de espectro utilizado tem o seu limite de medida de ruído de fase em 97dBc@10kHz. Isso significa que o sinal sintetizado pode ter um ruído de fase melhor do que o medido, que fica mascarado pela limitação do equipamento utilizado.

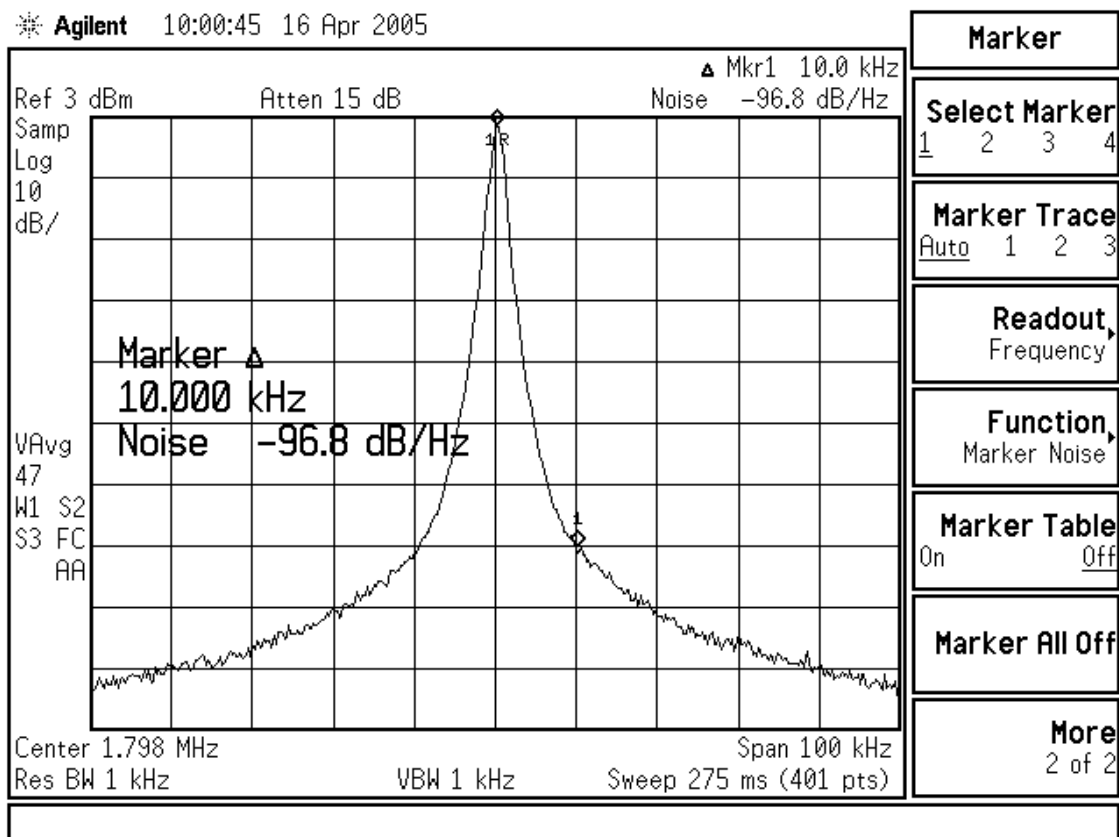


Figura 5.20 – Medida do ruído de fase do sinal de saída sintetizado para um passo de 10kHz.

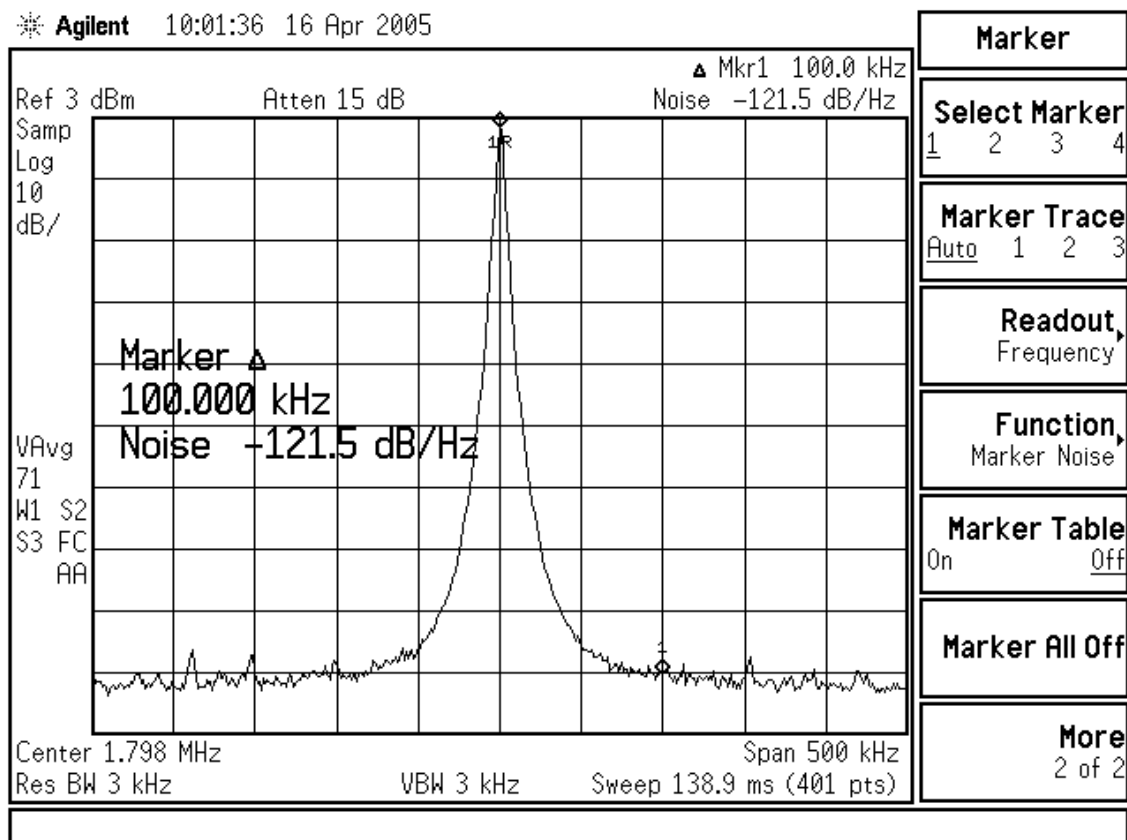


Figura 5.21 – Medida do ruído de fase do sinal de saída sintetizado para um passo de 100kHz.

## Capítulo VI

### Comentários e conclusões finais

#### 6.1 – Comentários

Devido sua importância nos projetos de equipamentos de radiofrequência, encontram-se vários trabalhos publicados a respeito dos sintetizadores de frequência. A técnica PLL, presente há vários anos no mercado, possui várias abordagens e grande evolução durante décadas. Já a técnica DDS é recente e existem trabalhos divulgados. Este estudo sobre as principais características das duas técnicas é capaz de orientar a escolha adequada para a síntese de frequência nos projetos atuais de sistemas de comunicação. Apresentaram-se informações esclarecedoras sobre cada técnica. O Capítulo I apresentou a motivação para a escolha do tema, uma abordagem básica sobre sintetizadores de frequência, a metodologia utilizada, a atualidade e as aplicações das técnicas de síntese de frequência.

O Capítulo II mostrou a teoria da técnica PLL a partir de um diagrama em blocos como referência. Investigou-se como é possível o sinal sintetizado estar na condição de travamento de frequência e as características necessárias ao sistema para isto ocorrer. O foco desse capítulo foi equacionar o funcionamento de toda a estrutura, deixando evidente a influência de cada bloco no resultado final. No Capítulo III, foi exposto como cada bloco da estrutura foi especificado e interligado, sendo demonstradas suas principais características e funções. Foram apresentados os resultados parciais de cada bloco e, por fim, um resultado da estrutura completa. Todas as partes apresentaram influência no desempenho final da estrutura, porém o VCO e o filtro de malha foram os que mais se destacaram. Verificou-se que a falta de cuidado na especificação e cálculo desses circuitos

pode ocasionar o não funcionamento da estrutura ou o funcionamento deslocado do seu ponto ótimo. Com isto, foi dada uma ênfase para a otimização das características de travamento da frequência e do ruído de fase do sinal sintetizado, através da manipulação dos valores dos componentes do filtro de malha.

O Capítulo IV tratou da teoria da técnica DDS, usando um diagrama em blocos como referência na explicação. Foram apresentadas as características e o funcionamento de cada bloco, sendo que cada um possui um papel específico para o sinal sintetizado ser gerado com exatidão. O foco desse capítulo foram o acumulador de fase e a tabela de conversão (*LUT*). Estão fundamentadas as explicações de como é possível variar a frequência do sinal sintetizado com precisão de até milihertz, sendo esta a principal característica da estrutura. No Capítulo V descreveu-se como a teoria do DDS foi implementada de forma prática, com a construção de um protótipo e os seus resultados práticos. Apresentam-se medições práticas, as principais vantagens e desvantagens da estrutura DDS.

## 6.2 – Conclusões finais

De forma geral, pode-se perceber que as duas estruturas apresentaram vantagens e desvantagens que influenciam no funcionamento de qualquer equipamento que venha utilizar estas técnicas de síntese de frequência. A estrutura DDS apresenta-se como uma solução para gerar sinais de referência com precisão de frequência de até dezenas de milihertz. Além desta, não possui ajustes e apresenta excelente relação de compromisso entre largura de faixa, ruído de fase e precisão de frequência. É capaz de excursionar toda a sua faixa de operação, que chega até 400MHz, com um passo de frequência na ordem de milésimos de hertz. Possui baixo ruído de fase no sinal sintetizado, uma característica desejada pelos usuários da estrutura PLL. Os principais limitadores da técnica DDS são a geração de espúrios parasitas e *jitter* para algumas frequências dentro da sua faixa de operação. São comprometedoras para equipamentos que necessitam de uma pureza espectral superior a -80dBc. A limitação em sua frequência de operação em até 400MHz é outra dificuldade que tende a buscar cada vez mais frequências maiores, da ordem de unidades e dezenas de gigahertz.

A estrutura PLL já consolidada tem como principais características a sua pureza espectral e uma variedade de aplicações, como em moduladores e demoduladores de FM,

atenuadores de *jitter*, regeneradores de portadora, etc.. Opera em frequências da ordem de dezenas de gigahertz com ruído de fase adequado para aplicações de transmissão e recepção de radiofrequência e baixo custo. As principais desvantagens da estrutura são as dificuldades de se trabalhar com pequenos passos de frequência no sinal sintetizado, da ordem de unidades de quilohertz. O ruído de fase do sinal sintetizado depende diretamente do cálculo do filtro de malha e das características do VCO. O projeto e a implementação do filtro de malha devem ser otimizados para as características especificadas de frequência de comparação, ruído de fase mínimo, rapidez de ação do laço de realimentação, etc.

Observando as duas técnicas de sintetização, percebe-se que a técnica DDS apresentou uma solução para as principais limitações encontradas na estrutura PLL. Apresentou problemas que a estrutura PLL não possuía e que são difíceis de serem solucionados, contornados ou ignorados. Com isto, a solução DDS está sendo utilizada em aplicações especiais, onde seus problemas não sejam empecilhos para as características de um sistema. As estruturas PLL, visando melhorar a sua deficiência no ajuste fino de frequência, estão evoluindo para uma nova tecnologia conhecida por N-fracionário[1].

### **6.3 – Sugestões para novos trabalhos**

Visando a melhoria das técnicas apresentadas, é necessário o estudo das suas principais limitações e possíveis soluções, em conjunto com uma exaustiva série de testes experimentais visando identificar possíveis informações ainda não documentadas. O estudo da técnica N-fracionário pode ser a solução para a estrutura PLL, pois tem o seu foco no ajuste fino de frequência em conjunto com uma frequência de comparação na ordem de dezenas de megahertz, porém possui uma dificuldade semelhante à estrutura DDS com respeito à geração de sinais espúrios. Para a estrutura DDS é preciso conciliar o estudo e testes experimentais de novas técnicas para a atenuação dos espúrios gerados na geração do sinal sintetizado.

Percebendo que a técnica DDS possui como principal característica solucionar as deficiências da técnica PLL, o estudo das estruturas híbridas se torna uma possibilidade para a soma das vantagens e a melhoria das duas principais técnicas [2][33].



## 6.4 – Publicações

- CARDOSO, Rodrigo Otávio Rocha; RIBEIRO, José Antônio Justino. *Direct Digital Synthesizer Using FPGA*. In: GCETE – GLOBAL CONGRESS ON ENGINEERING AND TECHNOLOGY EDUCATION, 2005, São Paulo, Brasil. Proc. *GCETE 2005*. p 290-293.
- CARDOSO, Rodrigo Otávio Rocha; MAGALHÃES Diogo R.; RIBEIRO, José Antônio Justino; SIVEIRA Maurício. *Analysis of threshold of a wideband amplifier in accordance with the presence of intrinsic spurious output signals*. In: WCETE – WORD CONGRESS ON ENGINEERING AND TECHNOLOGY EDUCATION, 2004, São Paulo, Brasil. Proc. *WCETE 2004*. p 116-119.

## Referências Bibliográficas

- [1] GOLDBERG, Bar-Giora. *Digital Frequency Synthesis Demystified*. New York: McGraw-Hill, LLH Technology Publishing, 1984.
- [2] VANKKA J. *Direct Digital Synthesizer: Theory, Design and Applications*. 2000. Dissertation for the degree of Doctor of Science in Technology - Helsinki University of technology, Espoo, Finland.
- [3] ABRAMOVITCH, Danny. *Phase-Locked Loops: A Control Centric Tutorial*. Palo Alto, CA, 2002. Disponível em: <http://www.labs.agilent.com>. Acesso em: 20 julho 2006.
- [4] ROHDE, Ulrich L. *Digital PLL Frequency Synthesizers*. New Jersey: Prentice Hall, 1983.
- [5] MUSA, F. A. *Noise Analysis of Phase Locked Loops and System Trade-offs*. Toronto, Canadá, 2003. Disponível em: <http://www.eecg.toronto.edu>. Acesso em: 20 julho 2006.
- [6] WOLAVER, Dan H. *Phase-Locked Loop Circuit Design*. New Jersey: Prentice Hall, 1991.
- [7] GARDNER, F. M. *Phaselock Techniques*. 2. ed. New York: John Wiley & Sons, 1979.
- [8] NASH, G. *Phase-Locked Loop Design and Fundamentals*. Application Note AN535, Motorola, 1994.
- [9] SMITH, Jack R. *Modern Communication Circuits*. 2. ed. New York: MacGraw-Hill, 1998.
- [10] CRAWFORD, James A. *Frequency Synthesizer Design Handbook*. London: Artech House, 1994.
- [11] CURTIN, MARK; O'BRIEN, Paul. *Phase Locked Loops for high frequency receivers and transmitter-part 1*. Analog Dialogue 33-3, Analog Devices, 1999.

- [12] BABIN, David; CLARK, Mark. *The MC145170 In Basic HF and VHF Oscillators*. Application Note AN1207, Motorola, 1998.
- [13] CURTIN, MARK; O'BRIEN, Paul. *Phase Locked Loops for high frequency receivers and transmitter-part 2*. Analog Dialogue 33-5, Analog Devices 1999.
- [14] BOLTON W. *Engenharia de Controle*. Makron Books do Brasil Editora LTDA, 1995.
- [15] OGATA, K. *Engenharia de Controle Moderno*. 3. ed. Prentice-Hall do Brasil LTDA, 1998.
- [16] HITTITE. *Hittite Microwave Corporation*. Disponível em: <http://www.hittite.com>. Acesso em: 01 julho 2006.
- [17] PIEZO. *Piezo Tecnologia Ltda*. Disponível em: <http://www.piezo.com.br>. Acesso em: 01 julho 2006.
- [18] MARKKU, Henriksson. *High performance, high reliability VCOs*. SELMIC. Disponível em: <http://www.selmic.com>. Acesso em: 10 julho 2006.
- [19] EMT. *Healthy VCOs*. Emhiser Micro-Tech Miniature Controlled Oscillators, Disponível em: <http://www.emt.com>. Acesso em: 10 julho 2006.
- [20] MAXIM. *Buffer Amplifiers Solve VCO Problems*. Application Note APP 2019, Dallas Semiconductor Maxim, 2006. Disponível em: <http://www.maxim-ic.com>. Acesso em: 10 julho 2006.
- [21] CRANDALL Mark, *Buffer Amplifiers Solve VCO Problems*. Microwaves & RF, 2002. Disponível em: <http://www.mwrf.com>. Acesso em: 10 julho 2006.
- [22] ROHDE, Ulrich L. *Oscillator Basis and Low-Noise Techniques for Microwave Oscillators and VCOs*. GaAs 2000, Paris, France.
- [23] INFINEON. *BB669 – Silicon Tuning Diode*. Disponível em: <http://www.infineon.com>. Acesso em: 01 julho 2006.
- [24] NATIONAL SEMICONDUCTOR. *LM358 - Low Power Dual Operational Amplifier*. Disponível em: <http://www.national.com>. Acesso em: 01 julho 2006.
- [25] NATIONAL SEMICONDUCTOR. *LMH6624 - Single/ Dual Ultra Low Noise Wideband*. Disponível em: <http://www.national.com>. Acesso em: 01 julho 2006.
- [26] NYQUIST H. *Certain topics in telegraph transmission theory*. AIEE Trans., Apr 1928.
- [27] LATHI B.P. *Sistemas de Comunicação*. Rio de Janeiro: Editora Guanabara, 1979

- [28] VENCESLAV, F. K. *Direct Digital Frequency Synthesizers*. New York: Institute of Electrical and Electronics Engineers, 1999.
- [29] BUCHANAN David, *Choosing DACs for Direct Digital Synthesis*. Application Note AN-237, Analog Devices.
- [30] QUALCOMM. *Direct Digital Synthesizer*. Qualcomm Incorporated, ASIC Products, Disponível em: <http://www.qualcomm.com/prodtech/asic>. Acesso em: 10 agosto 2006.
- [31] ETAWIL Ahmed M.; DANESHRADE, Babak. *Interpolation Based Direct Digital Frequency Synthesis for Wireless Communication*. IEEE International Conference, 2002.
- [32] ANALOG DEVICES. *A Technical Tutorial on Digital Signal Synthesis*. 1999.
- [33] INTEL. *Introduction to Direct Digital Synthesis*. Application Note 101, 1991.
- [34] VANKKA, J.; WALTARI, M. *A Direct Digital Synthesizer with an On-Chip D/A-Converter*. IEEE Journal of Solid State Circuits, Vol. 33, NO. 2, 1998.
- [35] INTEL. *Alias and Spurious Responses in DDS Systems*. Application Note 102, 1990.
- [36] KENT, Gary W.; SHENG, Neng-Haung. *A High Purity, High Speed Direct Digital Synthesizer*. IEEE International Frequency Control Symposium, 1995.
- [37] SCARPINO, Frank. *VHDL and AHDL Digital System Implementation*. New Jersey: Prentice Hall, 1998.
- [38] CARDOSO, Rodrigo Otávio Rocha; RIBEIRO, José Antônio Justino. *Direct Digital Synthesizer Using FPGA*. In: WCETE – WORD CONGRESS ON ENGINEERING AND TECHNOLOGY EDUCATION, 2004, São Paulo, Brasil.